

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日      2 0 0 0 年   9 月   8 日  
Date of Application:

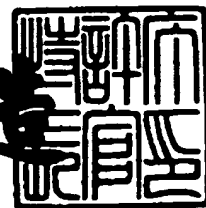
出 願 番 号      平成 1 2 年 特 許 願 第 2 7 4 2 2 1 号  
Application Number:

出 願 人      株式会社東芝  
Applicant(s):

2 0 0 1 年 1 0 月   2 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 00P338

【提出日】 平成12年 9月 8日

【あて先】 特許庁長官 殿

【国際特許分類】

H01L 27/00

【発明の名称】 半導体メモリ装置及びその製造方法

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜  
事業所内

【氏名】 堀口 文男

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイ  
クロエレクトロニクスセンター内

【氏名】 大澤 隆

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100092820

【弁理士】

【氏名又は名称】 伊丹 勝

【電話番号】 03-5216-2501

【手数料の表示】

【予納台帳番号】 026893

【納付金額】 21,000

【提出物件の目録】

【物件名】 明細書 1

【物件名】図面 1

【物件名】要約書 1

【包括委任状番号】9810498

【ブルーフの要否】要

【書類名】 明細書

【発明の名称】 半導体メモリ装置及びその製造方法

【特許請求の範囲】

【請求項 1】 1 ビットのメモリセルが他から電氣的に分離されたフローティングのバルク領域を持つ一つのトランジスタにより構成され、

前記トランジスタは、柱状半導体層と、この柱状半導体層の側面に柱状半導体層を取り囲むようにゲート絶縁膜を介して形成されたゲート電極と、前記柱状半導体層の上端部及び下端部に形成されたドレイン及びソース拡散層とを有し、

前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され、

前記トランジスタは、前記柱状半導体層に過剰の多数キャリアが蓄積された第 1 のしきい値電圧を有する第 1 データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第 2 のしきい値電圧を有する第 2 データ状態とをダイナミックに記憶する

ことを特徴とする半導体メモリ装置。

【請求項 2】 前記柱状半導体層は、半導体基板を加工して形成されたものであり且つ、前記ソース拡散層は、前記柱状半導体層の下端部を横切って形成されて、前記柱状半導体層を前記半導体基板から電氣的に分離されたフローティング状態に保つ

ことを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 3】 前記第 1 データ状態は、前記ゲート電極から所定電位が与えられた前記柱状半導体層に前記ドレイン拡散層からチャネル電流を流してインパクトイオン化により生成された過剰の多数キャリアを前記柱状半導体層に保持することにより書き込まれ、

前記第 2 データ状態は、前記ゲート電極から所定電位が与えられた前記柱状半導体層と前記ドレイン拡散層との間に順方向バイアスを与えて、前記柱状半導体層の過剰の多数キャリアをドレイン拡散層に引き抜くことにより書き込まれることを特徴とする請求項 2 記載の半導体メモリ装置。

【請求項 4】 前記半導体基板は p 型シリコン基板であり、前記トランジス

タはNMOSトランジスタである

ことを特徴とする請求項2記載の半導体メモリ装置。

【請求項5】 データ書き込み時、前記固定電位線を基準電位として、選択ワード線に前記基準電位より高い第1の電位を与え、非選択ワード線に前記基準電位より低い第2の電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ前記基準電位より高い第3の電位及び前記基準電位より低い第4の電位を与えるようにした

ことを特徴とする請求項4記載の半導体メモリ装置。

【請求項6】 データ読み出し時、前記固定電位線を基準電位として、選択ワード線に前記第1のしきい値電圧と第2のしきい値電圧の間にある前記基準電位より高い第5の電位を与え、選択されたメモリセルの導通又は非導通を検出する

ことを特徴とする請求項5記載の半導体メモリ装置。

【請求項7】 データ読み出し時、前記固定電位線を基準電位として、選択ワード線に前記第1及び第2のしきい値電圧より高く且つ前記基準電位より高い第5の電位を与え、選択されたメモリセルの導通度を検出するようにした

ことを特徴とする請求項5記載の半導体メモリ装置。

【請求項8】 1ビットのメモリセルが他から電気的に分離されたフローティングのバルク領域を持つ一つのトランジスタにより構成され、

前記トランジスタは、底部に絶縁膜が埋め込まれた柱状半導体層と、この柱状半導体層を横切って配設されて上面及び両側面にゲート絶縁膜を介して対向するように形成されたゲート電極と、前記柱状半導体層の前記ゲート電極の両側に形成されたドレイン及びソース拡散層とを有し、

前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され、

前記トランジスタは、前記柱状半導体層に過剰の多数キャリアが蓄積された第1のしきい値電圧を有する第1データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶する

ことを特徴とする半導体メモリ装置。

【請求項 9】 1 ビットのメモリセルが他から電氣的に分離されたフローティングのバルク領域を持つ一つのトランジスタにより構成され、

前記トランジスタは、横方向に貫通する空孔を持って形成された柱状半導体層と、この柱状半導体層の表面及び前記空孔の内壁面に形成されたゲート絶縁膜と、前記柱状半導体層の表面を前記空孔の方向に横切って配設される部分と前記空孔の内部に埋め込まれる部分とが前記空孔の端部で連続して一体となるゲート電極と、このゲート電極を挟んで前記柱状半導体層に形成されたソース及びドレイン拡散層とを有し、

前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され、

前記トランジスタは、前記柱状半導体層に過剰の多数キャリアが蓄積された第1のしきい値電圧を有する第1データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶する

ことを特徴とする半導体メモリ装置。

【請求項 10】 トランジスタが集積形成された半導体集積回路装置において、前記トランジスタは、

半導体基板と、

この半導体基板に、横方向に貫通する空孔を持って形成された柱状半導体層と、

この柱状半導体層の表面及び前記空孔の内壁面に形成されたゲート絶縁膜と、

前記柱状半導体層の表面を前記空孔の方向に横切って配設される部分と前記空孔の内部に埋め込まれる部分とが前記空孔の端部で連続して一体となるゲート電極と、

このゲート電極を挟んで前記柱状半導体層に形成されたソース及びドレイン拡散層とを有する

ことを特徴とする半導体集積回路装置。

【請求項 11】 1 ビットのメモリセルが他から電氣的に分離されたフロー

ティングのバルク領域を持つ一つのトランジスタにより構成され、前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され且つ、前記トランジスタは、前記バルク領域に過剰の多数キャリアが蓄積された第1のしきい値電圧を有する第1データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶するようにした半導体メモリ装置の製造方法であって、

半導体基板に、活性層が形成される部分を覆うように絶縁膜をパターン形成する工程と、

前記半導体基板に前記絶縁膜が内部に埋め込まれるように半導体層をエピタキシャル成長させる工程と、

前記半導体層の素子分離領域を前記絶縁膜の位置より深くエッチングして素子分離溝を形成することにより、前記絶縁膜が底部に埋め込まれた状態の活性層を形成する工程と、

前記素子分離溝の底部に素子分離絶縁膜を埋め込む工程と、

前記活性層の上面及び両側面にゲート絶縁膜を形成する工程と、

前記活性層を横切って上面及び両側面に対向するようにゲート電極を形成する工程と、

前記活性層に前記ゲート電極に自己整合されたソース及びドレイン拡散層を形成する工程と、

を有することを特徴とする半導体メモリ装置の製造方法。

【請求項12】 1ビットのメモリセルが他から電氣的に分離されたフローティングのバルク領域を持つ一つのトランジスタにより構成され、前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され且つ、前記トランジスタは、前記バルク領域に過剰の多数キャリアが蓄積された第1のしきい値電圧を有する第1データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶するようにした半導体メモリ装置の製造方法であって、

半導体基板に、第1の方向には密に、第1の方向と直交する第2の方向には疎にトレンチを配列形成する工程と、

前記半導体基板をアニール処理して表面マイグレーションを生じさせることにより、前記トレンチの上部開口が閉じられ、前記半導体基板に前記第1の方向に連続する空孔が埋め込まれた状態を形成する工程と、

前記半導体基板の素子分離領域に前記空孔より深い素子分離溝を形成することにより、底部を前記空孔が貫通した状態の活性層を形成する工程と、

前記素子分離溝に前記空孔の両端を閉じない深さに素子分離溝を埋め込む工程と、

前記活性層の表面及び前記空孔の内壁面にゲート絶縁膜を形成する工程と、

前記活性層を横切って、前記活性層の上面に対向すると同時に前記空孔内部に埋め込まれて空孔の上部壁面に対向するようにゲート電極を形成する工程と、

前記活性層に前記ゲート電極に自己整合されたソース及びドレイン拡散層を形成する工程と、

を有することを特徴とする半導体メモリ装置の製造方法。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

この発明は、ダイナミック型半導体メモリ装置（DRAM）とその製造方法に関する。

#### 【0002】

#### 【従来の技術】

従来のDRAMは、MOSトランジスタとキャパシタによりメモリセルが構成されている。DRAMの微細化は、トレンチキャパシタ構造やスタックドキャパシタ構造の採用により大きく進んでいる。現在、単位メモリセルの大きさ（セルサイズ）は、最小加工寸法を $F$ として、 $2F \times 4F = 8F^2$ の面積まで縮小されている。つまり、最小加工寸法 $F$ が世代と共に小さくなり、セルサイズを一般に $\alpha F^2$ としたとき、係数 $\alpha$ も世代と共に小さくなり、 $F = 0.18 \mu\text{m}$ の現在、 $\alpha = 8$ が実現されている。



### 【0003】

今後も従来と変わらないセルサイズ或いはチップサイズのトレンドを確保するためには、 $F < 0.18 \mu\text{m}$ では、 $\alpha < 8$ 、更に $F < 0.13 \mu\text{m}$ では、 $\alpha < 6$ を満たすことが要求され、微細加工と共に如何にセルサイズを小さい面積に形成するかが大きな課題になる。そのため、1トランジスタ/1キャパシタのメモリセルを $6F^2$ や $4F^2$ の大きさにする提案も種々なされている。しかし、隣接メモリセル間の電氣的干渉が大きくなるといった問題、更に加工や膜生成等の製造技術上の困難があり、実用化は容易ではない。

### 【0004】

これに対して、キャパシタを用いず、1トランジスタをメモリセルとするDRAMの提案も、以下に挙げるようにいくつかなされている。

- ① JOHN E. LEISS et al, "dRAM Design Using the Taper-Isolated Dynamic Cell" (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-17, NO. 2, APRIL 1982, pp337-344)
- ② 特開平3-171768号公報
- ③ Marnix R. Tack et al, "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 37, MAY, 1990, pp1373-1382)
- ④ Hsing-jen Wann et al, "A Capacitorless DRAM Cell on SOI Substrate" (IEDM 93, pp635-638)

### 【0005】

#### 【発明が解決しようとする課題】

①のメモリセルは、埋め込みチャネル構造のMOSトランジスタを用いて構成される。素子分離絶縁膜のテーパ部に形成される寄生トランジスタを利用して、表面反転層の充放電を行い、二値記憶を行う。

②のメモリセルは、個々にウェル分離されたMOSトランジスタを用い、MOSトランジスタのウェル電位により決まるしきい値を二値データとする。

③のメモリセルは、SOI基板上のMOSトランジスタにより構成される。SOI基板の側から大きな負電圧を印加してシリコン層の酸化膜と界面部でのホー

ル蓄積を利用し、このホールの放出、注入により二値記憶を行う。

④のメモリセルは、S O I 基板上のM O S トランジスタにより構成される。M O S トランジスタは構造上一つであるが、ドレイン拡散層の表面に重ねて逆導電型層が形成され、実質的に書き込み用P M O S トランジスタと読み出し用N M O S トランジスタを一体に組み合わせた構造としている。N M O S トランジスタの基板領域をフローティングのノードとして、その電位により二値データを記憶する。

#### 【0006】

しかし、①は構造が複雑であり、寄生トランジスタを利用していることから、特性の制御性にも難点がある。②は、構造は単純であるが、トランジスタのドレイン、ソース共に信号線に接続して電位制御する必要がある。また、ウェル分離であるため、セルサイズが大きく、しかもビット毎の書き換えができない。③では、S O I 基板側からの電位制御を必要としており、従ってビット毎の書き換えができず、制御性に難点がある。④は特殊トランジスタ構造を必要とし、またメモリセルには、ワード線、ライトビット線、リードビット線、バージ線を必要とするため、信号線数が多くなる。

#### 【0007】

この発明は、1トランジスタのメモリセル構造を用いて、少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置を提供することを目的としている。

#### 【0008】

##### 【課題を解決するための手段】

この発明に係る半導体メモリ装置は、1ビットのメモリセルが他から電氣的に分離されたフローティングの半導体層に形成された一つのトランジスタにより構成され、前記トランジスタは、柱状半導体層と、この柱状半導体層の側面に柱状半導体層を取り囲むようにゲート絶縁膜を介して形成されたゲート電極と、前記柱状半導体層の上端部及び下端部に形成されたドレイン及びソース拡散層とを有し、前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され、前記トランジスタは、前記柱

状半導体層に過剰の多数キャリアが蓄積された第1のしきい値電圧を有する第1データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶することを特徴とする。

#### 【0009】

この発明において具体的に、柱状半導体層は、半導体基板を加工して形成されたものであり且つ、ソース拡散層は、柱状半導体層の下端部を横切って形成されて、柱状半導体層を半導体基板から電氣的に分離されたフローティング状態に保つものとする。

#### 【0010】

またこの発明において、より具体的には、第1データ状態は、ゲート電極から所定電位が与えられた柱状半導体層に前記ドレイン拡散層からチャンネル電流を流してインパクトイオン化により生成された過剰の多数キャリアを前記柱状半導体層に保持することにより書き込まれ、第2データ状態は、ゲート電極から所定電位が与えられた柱状半導体層とドレイン拡散層との間に順方向バイアスを与えて、柱状半導体層の過剰の多数キャリアをドレイン拡散層に引き抜くことにより書き込まれる。

#### 【0011】

この発明において、好ましくは半導体基板はp型シリコン基板であり、トランジスタはNMOSトランジスタである。この場合、データ書き込み時、固定電位線を基準電位として、選択ワード線に基準電位より高い第1の電位を与え、非選択ワード線に基準電位より低い第2の電位を与え、ビット線には第1及び第2データ状態に応じてそれぞれ基準電位より高い第3の電位及び基準電位より低い第4の電位を与える。これにより、ビット線から第1データが与えられた選択セルでは、大きなチャンネル電流が流れてインパクトイオン化が生じ、半導体層にホールが保持される。また第2データが与えられた選択セルでは、柱状半導体層のホールがドレイン拡散層に放出される。

#### 【0012】

データ読み出しは、固定電位線を基準電位として、選択ワード線に前記第1の

しきい値電圧と第2のしきい値電圧の間にある前記基準電位より高い第5の電位を与え、選択されたメモリセルの導通又は非導通を検出する方式が用いられる。或いは、固定電位線を基準電位として、選択ワード線に第1及び第2のしきい値電圧より高く且つ基準電位より高い第5の電位を与え、選択されたメモリセルの導通度を検出する方式を用いることもできる。

#### 【0013】

この発明によると、一つのメモリセルは、電氣的にフローティング状態に保持される柱状半導体層をバルク領域とする一つのトランジスタにより形成される。従ってセルサイズを極めて小さくすることができる。トランジスタのソースは固定電位線に接続され、また半導体層に対するバックゲートバイアス制御を行うことなく、ドレインに接続されたビット線とゲート電極に接続されたワード線の制御のみによって、読み出し、書き換え及びリフレッシュの制御が行われる。即ち任意ビット単位でのデータ書き換えも可能である。

#### 【0014】

また、この発明では、柱状半導体層の外周部をチャネルとして、縦方向に電流を流す縦型トランジスタを構成している。従って、通常の平面型トランジスタと比べて、トランジスタのレイアウト面積が小さいものであっても大きなゲート面積を確保することができる。前述のようにこの発明では、データ書き込み時のフローティングの半導体層の電位制御をゲート容量を利用して行うので、縦型トランジスタ構造として大きなゲート面積を確保できることは、有利である。

#### 【0015】

この発明に係る半導体メモリ装置はまた、1ビットのメモリセルが他から電氣的に分離されたフローティングのバルク領域を持つ一つのトランジスタにより構成され、前記トランジスタは、底部に絶縁膜が埋め込まれた柱状半導体層と、この柱状半導体層を横切って配設されて上面及び両側面にゲート絶縁膜を介して対向するように形成されたゲート電極と、前記柱状半導体層の前記ゲート電極の両側に形成されたドレイン及びソース拡散層とを有し、前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され、前記トランジスタは、前記柱状半導体層に過剰の多数キャリア

アが蓄積された第1のしきい値電圧を有する第1データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶することを特徴とする。

#### 【0016】

この発明に係る半導体メモリ装置は更に、1ビットのメモリセルが他から電気的に分離されたフローティングのバルク領域を持つ一つのトランジスタにより構成され、前記トランジスタは、横方向に貫通する空孔を持って形成された柱状半導体層と、この柱状半導体層の表面及び前記空孔の内壁面に形成されたゲート絶縁膜と、前記柱状半導体層の表面を前記空孔の方向に横切って配設される部分と前記空孔の内部に埋め込まれる部分とが前記空孔の端部で連続して一体となるゲート電極と、このゲート電極を挟んで前記柱状半導体層に形成されたソース及びドレイン拡散層とを有し、前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され、前記トランジスタは、前記柱状半導体層に過剰の多数キャリアが蓄積された第1のしきい値電圧を有する第1データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶する。

#### 【0017】

この発明は更に、トランジスタが集積形成された半導体集積回路装置において、前記トランジスタは、半導体基板と、この半導体基板に、横方向に貫通する空孔を持って形成された柱状半導体層と、この柱状半導体層の表面及び前記空孔の内壁面に形成されたゲート絶縁膜と、前記柱状半導体層の表面を前記空孔の方向に横切って配設される部分と前記空孔の内部に埋め込まれる部分とが前記空孔の端部で連続して一体となるゲート電極と、このゲート電極を挟んで前記柱状半導体層に形成されたソース及びドレイン拡散層とを有することを特徴とする。

#### 【0018】

この発明はまた、1ビットのメモリセルが他から電気的に分離されたフローティングのバルク領域を持つ一つのトランジスタにより構成され、前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固

定電位線にそれぞれ接続され且つ、前記トランジスタは、前記バルク領域に過剰の多数キャリアが蓄積された第1のしきい値電圧を有する第1データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶するようにした半導体メモリ装置の製造方法であって、半導体基板に、活性層が形成される部分を覆うように絶縁膜をパターン形成する工程と、前記半導体基板に前記絶縁膜が内部に埋め込まれるように半導体層をエピタキシャル成長させる工程と、前記半導体層の素子分離領域を前記絶縁膜の位置より深くエッチングして素子分離溝を形成することにより、前記絶縁膜が底部に埋め込まれた状態の活性層を形成する工程と、前記素子分離溝の底部に素子分離絶縁膜を埋め込む工程と、前記活性層の上面及び両側面にゲート絶縁膜を形成する工程と、前記活性層を横切って上面及び両側面に対向するようにゲート電極を形成する工程と、前記活性層に前記ゲート電極に自己整合されたソース及びドレイン拡散層を形成する工程と、を有することを特徴とする。

#### 【0019】

この発明は更に、1ビットのメモリセルが他から電気的に分離されたフローティングのバルク領域を持つ一つのトランジスタにより構成され、前記トランジスタのゲート電極はワード線に、ドレイン拡散層はビット線に、ソース拡散層は固定電位線にそれぞれ接続され且つ、前記トランジスタは、前記バルク領域に過剰の多数キャリアが蓄積された第1のしきい値電圧を有する第1データ状態と、前記柱状半導体層の過剰の多数キャリアが放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶するようにした半導体メモリ装置の製造方法であって、半導体基板に、第1の方向には密に、第1の方向と直交する第2の方向には疎にトレンチを配列形成する工程と、前記半導体基板をアニール処理して表面マイグレーションを生じさせることにより、前記トレンチの上部開口が閉じられ、前記半導体基板に前記第1の方向に連続する空孔が埋め込まれた状態を形成する工程と、前記半導体基板の素子分離領域に前記空孔より深い素子分離溝を形成することにより、底部を前記空孔が貫通した状態の活性層を形成する工程と、前記素子分離溝に前記空孔の両端を閉じない深さに素子分離溝を埋め込む工程と、前記活性層の表面及び前記空孔の内壁面にゲート絶縁膜を形成する工程

と、前記活性層を横切って、前記活性層の上面に対向すると同時に前記空孔内部に埋め込まれて空孔の上部壁面に対向するようにゲート電極を形成する工程と、前記活性層に前記ゲート電極に自己整合されたソース及びドレイン拡散層を形成する工程と、を有することを特徴とする。

#### 【0020】

##### 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

##### 【実施の形態1】

図1は、この発明の実施の形態によるDRAMセルアレイのレイアウトであり、図2及び図の3はそれぞれ、図1のA-A'及びB-B'断面図である。p型シリコン基板1を加工することにより、各メモリセルMCの位置に柱状シリコン層2が形成されている。メモリセルMCは、この柱状シリコン層2を用いて形成された縦型のMOSトランジスタにより構成されている。

#### 【0021】

即ち、各メモリセルMCのトランジスタは、柱状シリコン層2の周囲をゲート絶縁膜2を介してゲート電極が取り巻くように形成され、上端部に $n^+$ 型ドレイン拡散層5が、下端部に $n^+$ 型ソース拡散層6がそれぞれ形成されたNMOSトランジスタとして構成されている。このトランジスタ構造は、いわゆる"SGT"として、H. Takato等による論文"Impact of Surrounding Gate Transistor (SGT) for high density LSI's" (IEEE Transactions on Electron Devices, vol. 38, No. 3, pp. 573-577, March 1991) により公表されている。

#### 【0022】

ここで、柱状シリコン層2の下端部に形成されるソース拡散層6は、柱状シリコン層2の下端部を完全に横切って、基板1のp型領域と柱状シリコン層2のp型領域とを電氣的に分離していることが重要である。これにより、各メモリセルMC毎に、柱状シリコン層2がフローティング状態に保持されてそのバルク電位が制御可能とされ、後述するようにこの発明の1トランジスタによるダイナミック記憶動作が可能になる。また、ソース拡散層6は基板1の全面を覆うように形成され、これが全メモリセルMCに共通の固定電位線SSとなる。

### 【0023】

柱状シリコン層2を取り囲むゲート電極4は多結晶シリコン膜により形成されるが、このゲート電極4と同じ多結晶シリコン膜をセルアレイの一方向に連続的に残すことにより、ゲート電極4を共通接続したワード線(WL)9が形成される。トランジスタが形成された面は層間絶縁膜7で覆われ、この上にビット線(BL)8が形成される。ビット線8は、ワード線9と直交する方向に配設されて、各メモリセルMCのドレイン拡散層4に接続される。

### 【0024】

このDRAMセルアレイは、図1に示すように、ワード線9及びビット線8をそれぞれ、最小加工寸法Fのライン/スペースで加工した場合、単位セル面積は、 $2F \times 2F = 4F^2$ となる。

### 【0025】

図4はこのDRAMセルアレイの等価回路を示している。各メモリセルMCは一つのNMOSTランジスタのみにより構成され、ドレインがビット線BLに、ゲートがワード線WLに接続され、ソースは共通に固定電位線SSに接続される。この場合、センスアンプSAの接続は、オープンビット線方式とされ、センスアンプSAの両側に配置されるセルアレイの対をなすビット線BL、BBLがセンスアンプSAに接続される。従って、図では省略したが、ビット線BL、BBL側のセルアレイには少なくとも一つずつのダミーセルが配置される。

### 【0026】

NMOSTランジスタからなるDRAMセルの動作原理は、MOSTランジスタのバルク領域(他から絶縁分離されたp型柱状シリコン層2)の多数キャリアであるホールの過剰蓄積を利用する。即ち、ゲート電極に所定の正電位を印加し、ドレイン拡散層5から大きなチャンネル電流を流してインパクトイオン化によりホットなキャリアを生成し、シリコン層2の多数キャリアであるホールを過剰にシリコン層2に保持させる。その過剰なホールの蓄積状態(熱平衡状態より電位が高い状態)を例えばデータ“1”とする。ドレイン拡散層5とシリコン層2の間のpn接合を順方向バイアスして、シリコン層2の過剰ホールをドレイン側に放出した状態をデータ“0”とする。



### 【0027】

データ“0”，“1”は、バルク領域の電位の差であり、MOSトランジスタのしきい値電圧の差として記憶される。即ち、ホール蓄積によりバルク領域の電位が高いデータ“1”状態のしきい値電圧 $V_{th1}$ は、データ“0”状態のしきい値電圧 $V_{th0}$ より低い。バルク領域に多数キャリアであるホールを蓄積した“1”データ状態を保持するためには、ワード線WLには負のバイアス電圧を印加することが必要になる。このデータ保持状態は、逆データの書き込み動作（消去）を行わない限り、読み出し動作を行っても変わらない。即ち、キャパシタの電荷蓄積を利用する1トランジスタ／1キャパシタのDRAMと異なり、非破壊読み出しが可能である。

### 【0028】

データ読み出しの方式には、いくつか考えられる。ワード線電位 $V_{wl}$ とバルク電位 $V_B$ の関係は、データ“0”，“1”と関係で図5のようになる。従ってデータ読み出しの第1の方法は、ワード線WLにデータ“0”，“1”のしきい値電圧 $V_{th0}$ ， $V_{th1}$ の間になる読み出し電位を与えて、“0”データのメモリセルでは電流が流れず、“1”データのメモリセルでは電流が流れることを利用する。具体的には例えば、ビット線BLを所定の電位 $V_{BL}$ にプリチャージして、その後ワード線WLを駆動する。これにより、図6に示すように、“0”データの場合、ビット線プリチャージ電位 $V_{BL}$ の変化がなく、“1”データの場合はプリチャージ電位 $V_{BL}$ が低下する。

### 【0029】

第2の読み出し方式は、ワード線WLを立ち上げてから、ビット線BLに電流を供給して、“0”，“1”の導通度に応じてビット線電位の上昇速度が異なることを利用する。簡単には、ビット線BLを0Vにプリチャージし、図7に示すようにワード線WLを立ち上げて、ビット線電流を供給する。このとき、ビット線の電位上昇の差をダミーセルを利用して検出することにより、データ判別が可能となる。

### 【0030】

第3の読み出し方式は、ビット線BLを所定の電位にクランプしたときの、“

“ 0 ”, “ 1 ” で異なるビット線電流の差を読む方式である。電流差を読み出すには、電流－電圧変換回路が必要であるが、最終的には電位差を差動増幅して、センス出力を出す。

#### 【 0 0 3 1 】

この発明において、選択的に “ 0 ” データを書き込むためには、即ちメモリセルアレイのなかで選択されたワード線WLとビット線BLの電位により選択されたメモリセルのバルク領域のみからホールを放出させるには、ワード線WLとバルク領域の間の容量結合が本質的になる。データ “ 1 ” でバルク領域にホールが過剰に蓄積された状態は、ワード線WLを十分負方向にバイアスして、メモリセルのゲート・バルク間容量が、ゲート酸化膜容量となる状態（即ち表面に空乏層が形成されていない状態）で保持することが必要である。

また、書き込み動作は、“ 0 ”, “ 1 ” 共に、パルス書き込みとして消費電力を減らすことが好ましい。“ 0 ” 書き込み時、選択トランジスタのバルク領域からドレインにホール電流が、ドレインからバルク領域に電子電流が流れるが、バルク領域にホールが注入されることはない。

#### 【 0 0 3 2 】

より具体的な動作波形を説明する。図 8 ～ 図 1 1 は、選択セルによるビット線の放電の有無によりデータ判別を行う第 1 の読み出し方式を用いた場合のリード／リフレッシュ及びリード／ライトの動作波形である。各メモリセルMCのソースを共通接続した固定電位線SSに与えられる基準電位は 0 V とする。

図 8 及び図 9 は、それぞれ “ 1 ” データ及び “ 0 ” データのリード／リフレッシュ動作である。時刻  $t_1$  までは、データ保持状態（非選択状態）であり、ワード線WLには負電位が与えられている。時刻  $t_1$  でワード線WLを正の所定電位に立ち上げる。このときワード線電位は、“ 0 ”, “ 1 ” データのしきい値  $V_{th0}$ ,  $V_{th1}$  の間に設定する。これにより、“ 1 ” データの場合、予めプリチャージされていたビット線VBLは放電により低電位になる。“ 0 ” データの場合はビット線電位VBLは保持される。これにより “ 1 ”, “ 0 ” データが判別される。

#### 【 0 0 3 3 】

そして、時刻  $t_2$  で、ワード線  $WL$  の電位を更に高くし、同時に読み出しデータが“1”の場合には、ビット線  $BL$  に正電位を与え（図8）、読み出しデータが“0”の場合はビット線  $BL$  に負電位を与える（図9）。これにより、選択メモリセルが“1”データの場合、大きなチャネル電流が流れてインパクトイオン化が起こり、バルク領域に過剰ホールが流入して再度“1”データが書き込まれる。“0”データの場合には、ドレイン接合が順方向バイアスになり、バルク領域のホールが放出されて、再度“0”が書き込まれる。

#### 【0034】

そして、時刻  $t_3$  でワード線  $WL$  を負方向にバイアスして、リード／リフレッシュ動作を終了する。“1”データ読み出しを行ったメモリセルと同じビット線  $BL$  につながる他の非選択メモリセルでは、ワード線  $WL$  が負電位、従ってバルク領域が負電位に保持されてチャネル電流が流れず、書き込みは生じない。“0”データ読み出しを行ったメモリセルと同じビット線  $BL$  につながる他の非選択メモリセルでは、やはりワード線  $WL$  が負電位に保持されて、ホール放出は起こらない。

#### 【0035】

図10及び図11は、同じ読み出し方式によるそれぞれ“1”データ及び“0”データのリード／ライト動作である。図10及び図11での時刻  $t_1$  での読み出し動作はそれぞれ、図8及び図9と同様である。読み出し後、時刻  $t_2$  でワード線  $WL$  を更に高電位とし、同じ選択セルに“0”データを書き込む場合には同時に、ビット線  $BL$  に負電位を与え（図10）、“1”データを書き込む場合にはビット線  $BL$  に正電位を与える（図11）。これにより、“0”データが与えられたセルでは、ドレイン接合が順方向バイアスになり、バルク領域のホールが放出される。“1”データが与えられたセルでは、チャネル電流が流れて、インパクトイオン化が起こり、バルク領域にホールが蓄積される。

#### 【0036】

以上のようにこの発明によるDRAMセルは、他から電氣的に分離されたフローティングのバルク領域を持つSGTにより構成され、 $4F^2$ のセルサイズが実現可能である。また、フローティングのバルク領域の電位制御は、ゲート電極か

らの容量結合を利用しており、バックゲート制御は利用していないし、ソース拡散層も固定電位である。即ち、読み出し／書き込みの制御は、ワード線WLとビット線BLのみで行われ、簡単である。更にメモリセルは基本的に非破壊読み出しであるので、センスアンプをビット線毎に設ける必要がなく、センスアンプのレイアウトは容易になる。更に電流読み出し方式であるので、ノイズにも強く、オープンビット線方式でも読み出しが可能である。

#### 【0037】

更に、メモリセルに柱状シリコン層を用いたSGTを利用することにより、多くの作用効果が得られる。上述したこの発明の動作原理によるメモリセルでは、バルク電位がワード線（ゲート電極）によく追従して変動することが好ましく、これによりバルクに蓄積された電荷を、pn接合をオンさせることなく保持することが可能になる。通常の平面型MOSトランジスタでは、ゲート電極即ちワード線とバルク間の容量は、トランジスタを微細化すればするほど小さくなり、またソース、ドレインのpn接合容量も無視できない。

#### 【0038】

これに対して、SGT構造にすると、チャンネル領域が柱状シリコン層を取り囲み、且つチャンネル長は柱状シリコン層の高さにより決まるため、リソグラフィにより決まる平面上の寸法とは独立に、大きなチャンネル長を得ることができる。言い換えれば、平面面積を大きくすることなく、ビット線コンタクトとほぼ同面積内で、大きなチャンネル長を実現することができる。従って、ワード線とバルク領域との容量結合を大きくすることができ、ワード線からのバルク電位制御による動作制御が確実になる。

#### 【0039】

また、この発明のメモリセルでは、バルク電位変化に対してしきい値の変化が大きいことが望ましい。これも、SGT構造を採用することにより容易に実現可能である。即ち、チャンネル中央部の基板不純物濃度を高く、且つpn接合近傍のチャンネル濃度を低くするという基板の厚み方向の濃度分布を与えることにより、接合リークを小さく抑えながら、基板バイアス効果により、バルク電位変化に対するしきい値変化を大きいものとすることができる。更に、ビット線がコンタク

トする柱状シリコン層の上端面積を小さくすることにより、ビット線に接続されるpn接合容量を小さくすることが可能であり、これも、ワード線とバルク領域の容量カップリング比を相対的に大きくする。またこれにより、ビット線容量も小さくなるので、読み出しや書き込み時のビット線容量の充放電電流が小さくなり、高速化、低消費電力化が図られる。

#### 【0040】

次に、図1乃至図3で説明したセルアレイの具体的な製造工程を、図2の断面に対応する工程断面図である図12～図17を用いて、以下に説明する。

図12に示すように、p型のシリコン基板1に、バッファ用シリコン酸化膜11を10nm程度形成した後、200nm程度のシリコン窒化膜12を堆積し、この上にリソグラフィによりレジスト13をパターン形成する。

#### 【0041】

続いて、図13に示すように、レジスト13をマスクとして、RIEによりシリコン窒化膜12、シリコン酸化膜11をエッチングし、更にシリコン基板1をエッチングして、縦横に走る溝14を加工し、柱状シリコン層2を形成する。その後、レジスト13及びシリコン窒化膜12を除去し、Asをイオン注入して、図14に示すように、溝14及び柱状シリコン層2の上部にそれぞれソース、ドレインとなる拡散層6, 5を形成する。

#### 【0042】

次に、図15に示すように、柱状シリコン層2の外周面に熱酸化によりゲート酸化膜3を形成し、続いてゲート電極を形成するための多結晶シリコン膜40を堆積する。ゲート酸化を含む熱酸化工程及びその後の熱工程により、溝14の底部に形成された $n^+$ 型ソース拡散層6は、横方向に拡散する。これにより、柱状シリコン層2のp型領域と基板1のp型領域はソース拡散層6により電氣的に分離されるようになる。

#### 【0043】

その後、RIEにより多結晶シリコン膜40を全面エッチングして、図16に示すように、柱状シリコン層2の側壁のみにゲート電極4を形成する。但しこのエッチング工程で、図16の面に直交する方向に並ぶ柱状シリコン層2の間隙部

はレジストで覆う。これにより、図1及び図3に示したように、ゲート電極4を連結するワード線9が同じ多結晶シリコン膜40により形成される。

#### 【0044】

この後、図17に示すようにシリコン酸化膜を堆積し、これをCMPにより平坦化处理して、層間絶縁膜7を形成する。その後、図2に示すように、柱状シリコン層2の位置にコンタクト孔を形成した後、Al膜を堆積し、パターニングしてビット線8を形成する。ビット線8には、Alの他、W等の他の金属膜或いは多結晶シリコン等、他の導電材料膜を用い得る。更にこの後、図示しないが、層間絶縁膜を堆積し、周辺回路との配線を形成する。柱状シリコン層2の底部に形成されるソース拡散層6は、セルアレイの周辺部で固定電位とされる信号線、例えば接地線に接続される。

#### 【0045】

以上のような製造プロセスにより、小さいセル面積でしかも大きなゲート容量を確保した、SGT構造の1トランジスタをメモリセルとするセルアレイを得ることができる。

#### 【0046】

上述の例では、ソース拡散層6の横方向拡散を利用して各柱状シリコン層2を基板1から完全に電気的に分離するようにした。これは、柱状シリコン層2の径が十分に小さい場合には容易であるが、ある程度径が大きい場合には必ずしも容易ではない。その様な場合には、ソース拡散層6となる $n^+$ 型層を予め基板1内に作り込んでおくことが好ましい。即ち、シリコン基板1として、図18に示すような構造を予め用意する。

#### 【0047】

これは例えば、p型層20を基板として、その表面に $n^+$ 型埋め込み層21を全面形成して、更にp型シリコン層21をエピタキシャル成長させることにより得られる。図18の基板はまた、p型層20、21としてそれぞれ独立のシリコン基板を用意し、その一方に $n^+$ 型層21を形成した後に、これらを直接接着することにより作ることにもできる。この様なエピタキシャル基板或いは貼り合わせ基板を用いて、 $n^+$ 型層21に達するまでエッチングを行って、柱状シリコン層

を形成すれば、柱状シリコン層と基板との電氣的分離は確実になる。

#### 【0048】

また、柱状シリコン層2の底部が $n^+$ 型層6により完全に閉じられることは必ずしも必要ではない。例えば、図19に示すように、溝底部から延びる $n^+$ 型層6が完全に柱状シリコン層2を横切らなくても、破線で示すように、ゼロバイアスで柱状シリコン層2の周辺から中心に延びる空乏層23が中心部でつながるようにすれば、柱状シリコン層2のp型領域と基板1のp型領域とは電氣的に分離される。

#### 【0049】

図20は、別のセルレイ構造を図2に対応する断面で示している。この例では、柱状シリコン層2の上端部を、上に行くほど径が小さくなるようなテーパ状に加工している。これにより、柱状シリコン層2の上端部に形成されるドレイン拡散層5とビット線8のコンタクト面積を小さいものとすることができる。

#### 【0050】

更にここまでの例において、 $n^+$ 型ソース拡散層6及びドレイン拡散層5のp型シリコン層2との間の接合は、好ましくは、階段状接合ではなく、 $n^+$ 型層から次第に低濃度となるn型層を挟んでp型層に接合するような緩傾斜接合(Graded Junction)とする。これにより、接合リークを小さいものとすることができ、接合容量も小さくすることができる。また、この様な接合構造を用いたとしても、平面型トランジスタと異なり、チャネル長は柱状シリコン層の高さにより確保することができるから、チャネル中央部のp型不純物濃度を十分高く保持することができる。従って、ゲート容量を利用したバルク電位制御によるダイナミック記憶動作にとって好都合となる。

#### 【0051】

##### 【実施の形態2】

上記実施の形態1では、柱状シリコン層の側周面をチャネル領域とするSGT構造のトランジスタをメモリセルMCとして用いた。これに対して、実施の形態2では、柱状シリコン層を用いた一つのトランジスタをメモリセルMCとすることは同じであるが、そのトランジスタ構造は、図21のようなものとする。即ち

、シリコン基板101上に凸型に形成された柱状シリコン層102を活性層として用い、この柱状シリコン層102を横切って、上面及び両側面にゲート絶縁膜103を介して対向するようにゲート電極104が配設され、このゲート電極105の両側にドレイン及びソース拡散層が形成される。但し、柱状シリコン層102はその底部に絶縁膜が埋め込まれて、フローティング状態に保持されるようにする。

#### 【0052】

図22は、この実施の形態によるDRAMセルアレイのレイアウトを示し、図23及び図24はそれぞれ、図22のA-A'及びB-B'断面図を示している。柱状シリコン層102は、後に説明するように、シリコン基板101上にエピタキシャル成長させたp型シリコン層を用いている。このp型シリコン層を加工して得られる凸型シリコン層である活性層102は、ビット線方向に隣接するメモリセルMCでドレイン拡散層を共有し、ワード線方向にソース拡散層を共通ソース線として連続的に形成するために、格子状パターンでレイアウトされる。

#### 【0053】

活性層102の底部にはシリコン酸化膜110が埋め込まれる。素子分離領域にもシリコン酸化膜111が埋め込まれる。そして、活性層102を横切り、その3面に対向するようにワード線となるゲート電極104が配設される。ゲート電極104に自己整合的に $n^+$ 型ソース、ドレイン拡散層105が形成される。トランジスタが形成された面は層間絶縁膜106で覆われ、この上にビット線107が配設される。

#### 【0054】

この様に、一つのNMOSトランジスタをメモリセルMCとして構成されるDRAMセルアレイの動作原理は、先の実施の形態1と同様である。先の実施の形態1で説明したように、データ書き込み／読み出し動作において、ゲート電極からのフローティングのバルク領域への容量結合の大きさが重要である。この実施の形態の場合も、ゲート電極104は柱状シリコン層からなる活性層102の3面に対向させているため、大きな結合容量が得られ、好ましい特性が得られる。

#### 【0055】



この実施の形態2のセルアレイ構造を得るための製造工程を、図23の断面に対応する断面を用いた図25以下を参照して、説明する。図25に示すように、シリコン基板101の表面に、後に格子状パターンの活性領域となるシリコン層を形成すべき領域に、合わせずれに対する余裕をもってシリコン酸化膜110をパターン形成する。そして、このシリコン基板101上に、図26に示すように、p型シリコン層1020をエピタキシャル成長させる。

#### 【0056】

次に、図27に示すように、シリコン層1020上にバッファ用シリコン酸化膜120、シリコン窒化膜121を堆積し、この上にリソグラフィにより活性領域となるべき領域を覆うレジスト123をパターン形成する。このレジスト123を用いたRIEにより、シリコン窒化膜122、シリコン酸化膜121、シリコン層1020を順次エッチングする。引き続き、シリコン酸化膜110をエッチングし、露出したシリコン基板101を所定の深さまでエッチングする。

#### 【0057】

これにより、エピタキシャル成長層であるp型シリコン層1020を凸型の格子状パターンに加工した活性層102が得られる。その底部にはシリコン酸化膜110が埋め込まれる。この後、シリコン酸化膜111を堆積し、CMP処理により平坦化した後、RIEによりシリコン酸化膜111をエッチバックして、図28に示すように、略シリコン酸化膜110の表面位置まで埋め込む。このシリコン酸化膜111は、各トランジスタの横方向を分離する素子分離絶縁膜となる。

#### 【0058】

図28の状態を斜視図で示すと、図30のようになる。p型の活性層102は、格子状パターンに形成され、間隙部には素子分離絶縁膜が埋め込まれる。続いて、図29に示すように、p型活性層102の表面（上面及び両側面の3面）にゲート絶縁膜103を形成した後、多結晶シリコン膜を堆積し、これをパターンニングして、ワード線となるゲート電極104を形成する。

#### 【0059】

この後は、図24に示すように、ゲート電極104をマスクとしてAsのイオ

ン注入を行って、ソース、ドレイン拡散層105を形成する。これらの拡散層105は、図24に示すように、埋め込まれたシリコン酸化膜110に達する深さとする。これにより、各トランジスタのp型バルク領域は、独立して電位制御可能なフローティング状態にできる。そして、層間絶縁膜106を堆積し、これにドレイン拡散層位置にコンタクト孔を開けて、ワード線と直交するようにビット線107を形成する。

#### 【0060】

##### 【実施の形態3】

図31は、更に別のトランジスタ構造を用いてメモリセルMCを構成する実施の形態である。シリコン基板201上に形成される活性層202に対して、その上下面及び両側面にゲート絶縁膜203が形成され、ゲート電極204は、この活性層202を横切って、且つ活性層202の上下面及び側面に対向するように配設される。そして、ゲート電極204の両側にソース、ドレイン拡散層が形成される。図では、活性層202は、基板201から浮いた状態に示されているが、実際には後に説明するように、この構造は、シリコン基板内部に空孔を形成する技術を利用して作られるもので、活性層202が浮いている訳ではない。

#### 【0061】

この実施の形態の場合も、一つのNMOSトランジスタをメモリセルMCとしてDRAMセルアレイが構成され、そのデータ書き込み及び読み出しは実施の形態1、2と同様に行われる。この場合も先の実施の形態1で説明したように、データ書き込み／読み出し動作において、ゲート電極からのフローティングのバルク領域への容量結合の大きさが重要である。ゲート電極204は柱状シリコン層からなる活性層202の上下面に対向させているため、大きな結合容量が得られ、好ましい特性が得られる。

#### 【0062】

具体的にこの実施の形態3によるDRAMセルアレイの製造工程を図32A以下を用いて説明する。まず、シリコン基板201に、パイプ状に走る空孔を埋め込み形成する。そのためには、図32A及びそのA-A'断面図である図32Bに示すように、シリコン基板201に、トレンチ型DRAMで用いられていると

同様の技術により、後にワード線が形成される領域にそのワード線方向に沿って多数のトレンチ304を形成する。即ち、パッファ用シリコン酸化膜301、シリコン窒化膜302を堆積し、この上にレジスト303をパターン形成し、シリコン基板301をRIEによりエッチングして、トレンチ304を形成する。トレンチ304の配列は、ワード線方向には密に、これと直交する方向には疎にする。トレンチ304の深さは、径の数倍程度とする。

#### 【0063】

そして、レジスト303を除去し、更にシリコン窒化膜302及びシリコン酸化膜301を除去した後、水素雰囲気中、1100℃程度のアニールを行う。このとき、表面マイグレーションが生じ、シリコン原子の移動によって、トレンチ304の開口が閉じられ、密にトレンチが配列された方向には空洞がパイプ状に連続する複数本の空孔305が埋め込まれた状態が形成される。図33Aと図33Bはこの状態のレイアウトとそのA-A'断面図である。

#### 【0064】

この様に、シリコン基板内部にパイプ状空孔を形成する技術については、T. Sato等により発表された論文“A New Substrate Engineering for Formation Empty Space in Silicon(ESS) Induced by Silicon Surface Migration”(IEDM'99 Technical Digest, pp. 517-520)に詳しい。

#### 【0065】

この様に、空孔304が埋め込まれたシリコン基板201を用いて、図34に示すように、素子分離領域306によって格子状に区画された活性領域を形成し、空孔305に重なる状態のワード線204、これと直交するビット線205を配設したセルアレイを構成する。具体的に、図34のA-A'断面、B-B'断面に対応する図35A、図35B～図39A、図39Bを用いて、素子分離工程から素子形成工程を以下に説明する。

#### 【0066】

まず、図35A及び図35Bに示すように、シリコン酸化膜310とシリコン窒化膜311を堆積し、この上に活性層領域を覆うようにレジスト312をパターン形成する。そして、シリコン窒化膜311、シリコン酸化膜310をRIE

によりエッチングし、更にシリコン基板201をエッチングして、素子分離溝313を加工する。素子分離溝313の深さは、空孔305より深くなるようにする。これにより、空孔305が横方向に貫通する状態の柱状（凸型）の活性層202が各トランジスタ形成領域に形成される。実際には活性層202は、ビット線方向に隣接するトランジスタのドレイン拡散層を共通に形成し、またソース拡散層をワード線方向に共通に形成するために、先の実施の形態2と同様に、格子状に連続するパターンとして形成されることになる。

#### 【0067】

この後、図36A及び図36Bに示すように、シリコン窒化膜311及びシリコン酸化膜310をエッチング除去し、改めてシリコン酸化膜315を堆積し、これをエッチバックして、素子分離溝313内に素子分離絶縁膜として埋め込む。シリコン酸化膜315の表面は、空孔305の底部に略一致する状態とし、活性層202を貫通する空孔305の開口端を閉じないようにする。

#### 【0068】

この後、図37A及び図37Bに示すように、ゲート絶縁膜203を形成し、空孔305に沿ってワード線となる多結晶シリコン膜によるゲート電極204をパターン形成する。ゲート電極204の上面は、シリコン窒化膜316で覆われた状態とする。ゲート絶縁膜203は、熱酸化により形成した場合、活性層202の上面のみならず、空孔305の内壁にも形成される。また、ゲート電極204は、空孔305にも埋め込まれる。即ち、活性層202の上面に形成されるゲート電極部204aと、空孔305内に埋め込まれるゲート電極部204bとが空孔305の端部で一体につながり、ワード線として連続する。言い換えれば、活性層202の上下面更にこれに連続する側面をチャネルとして、トランジスタが形成される。このトランジスタ構造は、先の実施の形態1におけるSGT構造を90°回転させた状態になる。

#### 【0069】

その後、図38A及び図38Bに示すように、シリコン窒化膜317を堆積してRIEによりエッチバックすることにより、ゲート電極側壁のみに残し、Asイオンの注入により、ソース、ドレイン拡散層206を形成する。ソース、ドレ

イン拡散層206は、空孔305の上端位置より深くする。これにより、各トランジスタのバルク領域は、ゲート絶縁膜203、拡散層及び素子分離絶縁膜により互いに電氣的に分離されて、フローティング状態に保つことが可能になる。

#### 【0070】

その後、図39A及び図39Bに示すように、層間絶縁膜207を堆積し、ドレイン拡散層領域にコンタクト孔を開けて、ワード線と直交する方向にビット線205を配設する。このときビット線コンタクトとワード線の合わせずれにより、コンタクトがワード線にかかっても、ワード線の上面及び側面にはシリコン窒化膜があるため、これがコンタクトのシリコン酸化膜エッチング時の保護膜となり、ビット線とワード線の短絡が防止される。これにより、ワード線を最小ピッチで配設することが可能になる。

この実施の形態による1トランジスタのメモリセルMCも実施の形態1と同様の原理で、ダイナミックな書き込み／読み出しが行われる。SGT構造の場合と同様に、ゲート電極はシリコン層を取り囲む状態で4面に対向して形成されるため、小さいセル面積で大きなゲート容量が得られ、従って好ましい書き込み、読み出し特性が得られる。

#### 【0071】

なおこの実施の形態2，3によるトランジスタ構造は、1トランジスタのDRAMセルに限らず、より一般的に、小さい面積で大きなゲート容量を持つトランジスタを集積した集積回路に適用することができる。また実施の形態3の場合、シリコン層の上下を同時にチャンネルとして利用しているが、いずれか一方のみをチャンネルとして利用することも可能である。例えば、空孔305の上壁のみをチャンネルとするトランジスタを形成することもできる。

#### 【0072】

##### 【発明の効果】

以上述べたようにこの発明によれば、小さいセル面積で大きなゲート容量を持つ1トランジスタのメモリセルを用いて、少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置を提供することができる。

##### 【図面の簡単な説明】

【図 1】

この発明の実施の形態による D R A Mセルアレイのレイアウトを示す図である。

【図 2】

図 1 の A - A ' 断面図である。

【図 3】

図 1 の B - B ' 断面図である。

【図 4】

同 D R A Mセルアレイの等価回路図である。

【図 5】

同 D R A Mセルのワード線電位とバルク電位の関係を示す図である。

【図 6】

同 D R A Mセルのデータ読み出し方式を説明するための図である。

【図 7】

同 D R A Mセルのデータ読み出し方式を説明するための図である。

【図 8】

同 D R A Mセルの “ 1 ” データ読み出し／リフレッシュの動作波形である。

【図 9】

同じく “ 0 ” データ読み出し／リフレッシュの動作波形である。

【図 1 0】

同じく “ 1 ” データ読み出し／ “ 0 ” データ書き込みの動作波形である。

【図 1 1】

同じく “ 0 ” データ読み出し／ “ 1 ” データ書き込みの動作波形である。

【図 1 2】

同 D R A Mセルアレイの製造工程を示す図である。

【図 1 3】

同 D R A Mセルアレイの製造工程を示す図である。

【図 1 4】

同 D R A Mセルアレイの製造工程を示す図である。

【図 1 5】

同 D R A M セル ア レ イ の 製 造 工 程 を 示 す 図 で あ る。

【図 1 6】

同 D R A M セル ア レ イ の 製 造 工 程 を 示 す 図 で あ る。

【図 1 7】

同 D R A M セル ア レ イ の 製 造 工 程 を 示 す 図 で あ る。

【図 1 8】

他 の 基 板 構 造 を 示 す 図 で あ る。

【図 1 9】

他 の D R A M セル ア レ イ の 断 面 図 で あ る。

【図 2 0】

他 の D R A M セル ア レ イ の 断 面 図 で あ る。

【図 2 1】

他 の 実 施 の 形 態 に よ る メ モ リ セ ル 構 造 を 示 す 図 で あ る。

【図 2 2】

同 実 施 の 形 態 に よ る D R A M セル ア レ イ の レ イ ア ウ ト を 示 す 図 で あ る。

【図 2 3】

図 2 2 の B - B ' 断 面 図 で あ る。

【図 2 4】

図 2 2 の A - A ' 断 面 図 で あ る 阿。

【図 2 5】

同 実 施 の 形 態 に よ る D R A M セル ア レ イ の 製 造 工 程 を 示 す 図 で あ る。

【図 2 6】

同 実 施 の 形 態 に よ る D R A M セル ア レ イ の 製 造 工 程 を 示 す 図 で あ る。

【図 2 7】

同 実 施 の 形 態 に よ る D R A M セル ア レ イ の 製 造 工 程 を 示 す 図 で あ る。

【図 2 8】

同 実 施 の 形 態 に よ る D R A M セル ア レ イ の 製 造 工 程 を 示 す 図 で あ る。

【図 2 9】

同実施の形態による D R A M セルアレイの製造工程を示す図である。

【図 3 0】

図 2 8 の工程で得られる構造の斜視図である。

【図 3 1】

他の実施の形態によるメモリセル構造を示す図である。

【図 3 2 A】

同実施の形態による基板前処理工程を示す平面図である。

【図 3 2 B】

図 3 2 A の A - A ' 断面図である。

【図 3 3 A】

同実施の形態による基板前処理工程を示す平面図である。

【図 3 3 B】

図 3 3 A の A - A ' 断面図である。

【図 3 4】

同実施の形態による D R A M セルアレイの平面図である。

【図 3 5 A】

同実施の形態の製造工程を示す図 3 4 の A - A ' 断面図である。

【図 3 5 B】

同実施の形態の製造工程を示す図 3 4 の B - B ' 断面図である。

【図 3 6 A】

同実施の形態の製造工程を示す図 3 4 の A - A ' 断面図である。

【図 3 6 B】

同実施の形態の製造工程を示す図 3 4 の B - B ' 断面図である。

【図 3 7 A】

同実施の形態の製造工程を示す図 3 4 の A - A ' 断面図である。

【図 3 7 B】

同実施の形態の製造工程を示す図 3 4 の B - B ' 断面図である。

【図 3 8 A】

同実施の形態の製造工程を示す図 3 4 の A - A ' 断面図である。



【図 3 8 B】

同実施の形態の製造工程を示す図 3 4 の B－B' 断面図である。

【図 3 9 A】

同実施の形態の製造工程を示す図 3 4 の A－A' 断面図である。

【図 3 9 B】

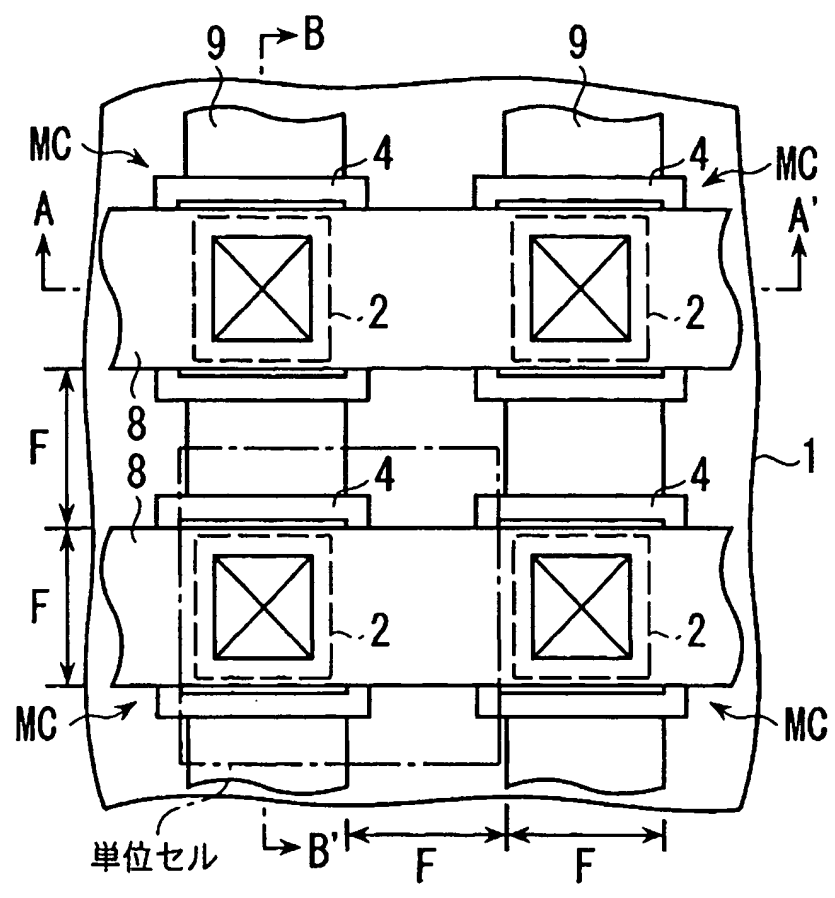
同実施の形態の製造工程を示す図 3 4 の B－B' 断面図である。

【符号の説明】

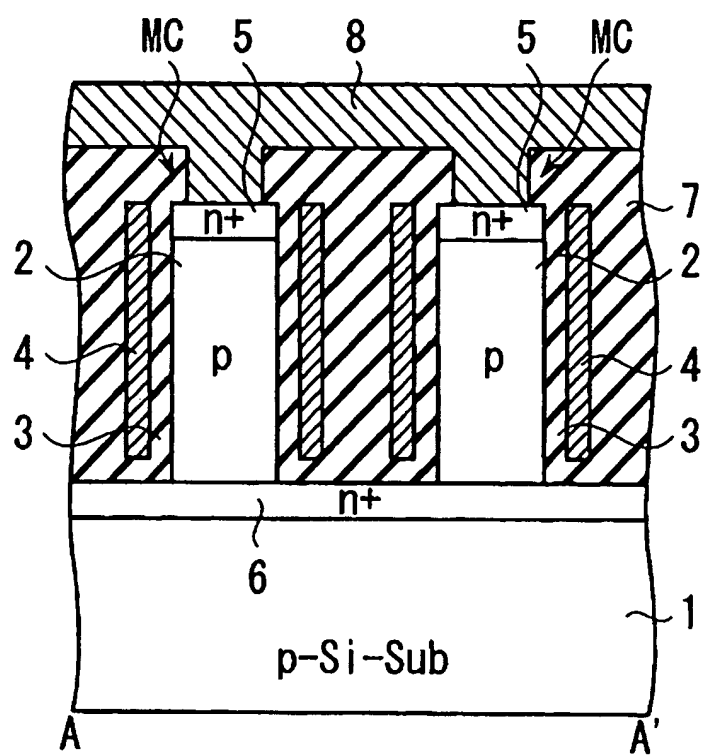
1 … p 型シリコン基板、2 … 柱状シリコン層、3 … ゲート酸化膜、4 … ゲート電極、5 … ドレイン拡散層、6 … ソース拡散層、7 … 層間絶縁膜、8 … ビット線、9 … ワード線、101 … シリコン基板、102 … 活性層、103 … ゲート絶縁膜、104 … ゲート電極、105 … ソース、ドレイン拡散層、110 … シリコン酸化膜、1020 … p 型シリコン層、201 … シリコン基板、202 … 活性層、203 … ゲート絶縁膜、204 … ゲート電極、205 … ビット線、304 … トレンチ、305 … 空孔。

【書類名】 図面

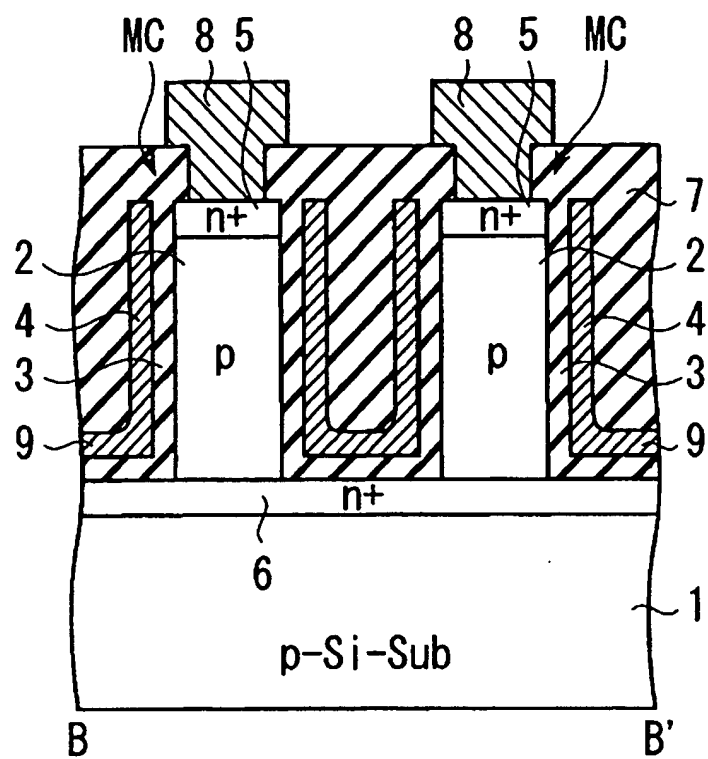
【図 1】



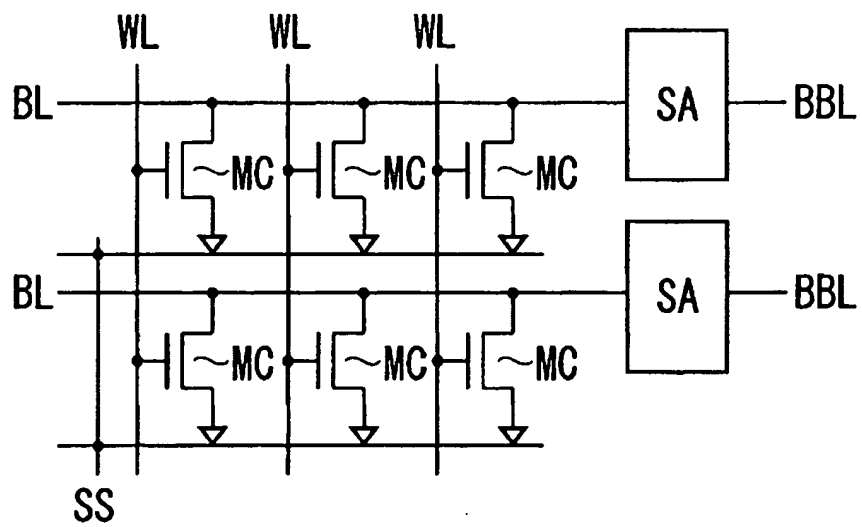
【圖 2】



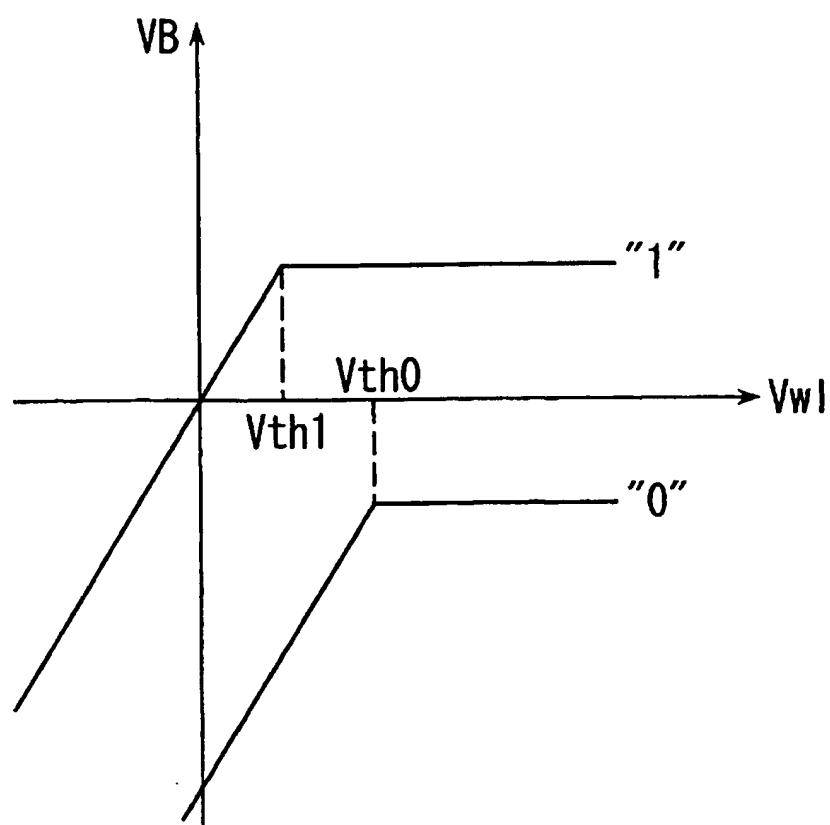
【図 3】



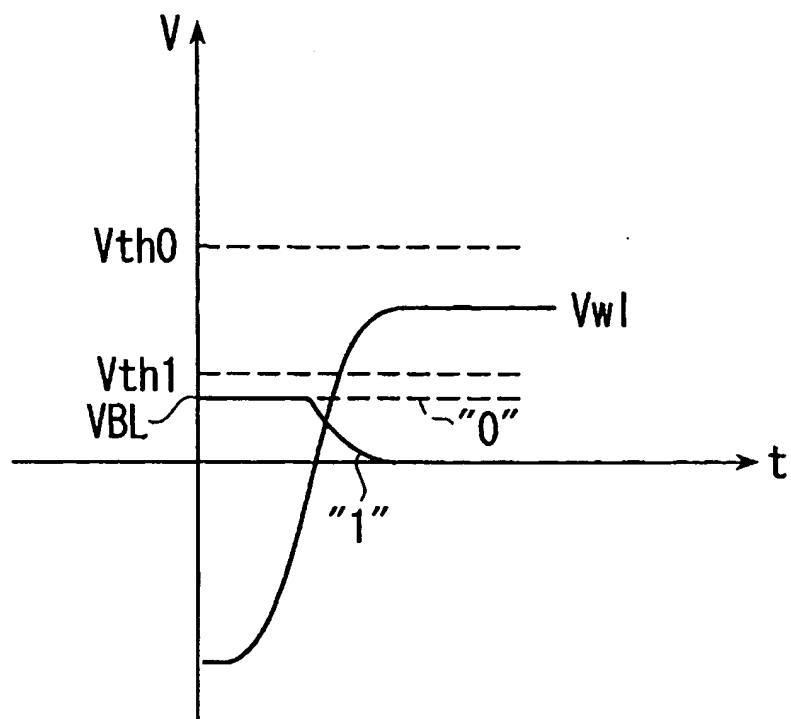
【図 4】



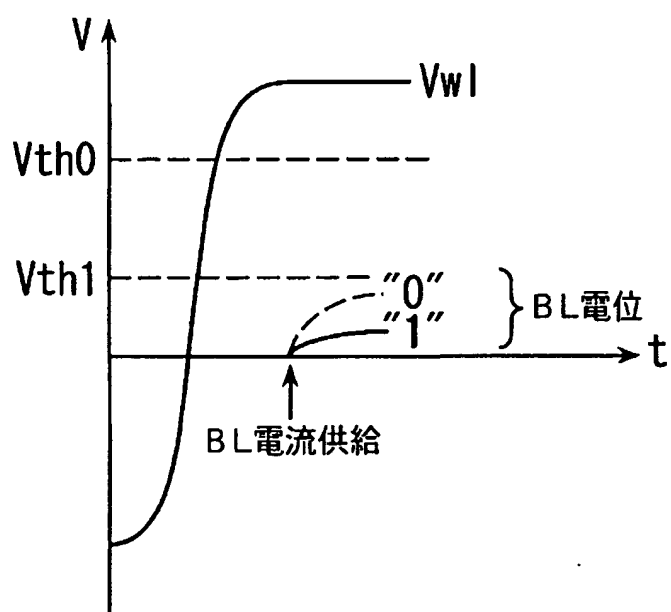
【图 5】



【図 6】

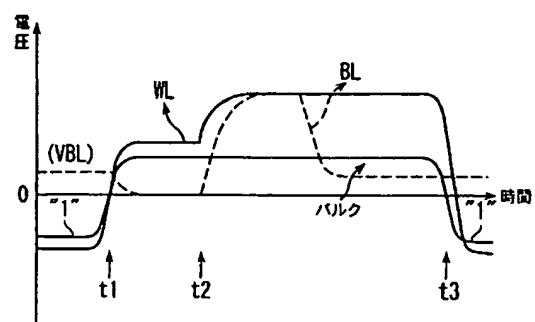


【図 7】



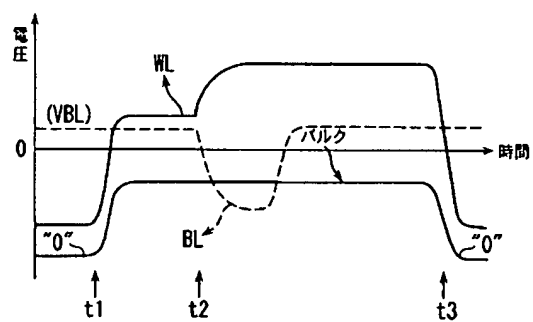
【図 8】

“1”read/refresh



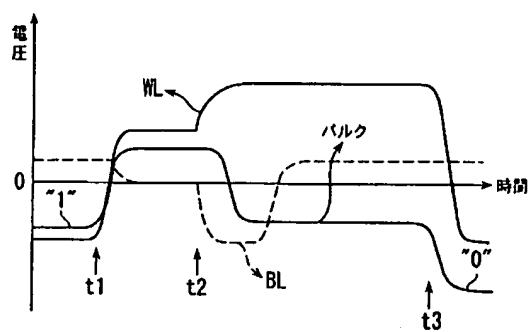
【図 9】

“0”read/refresh

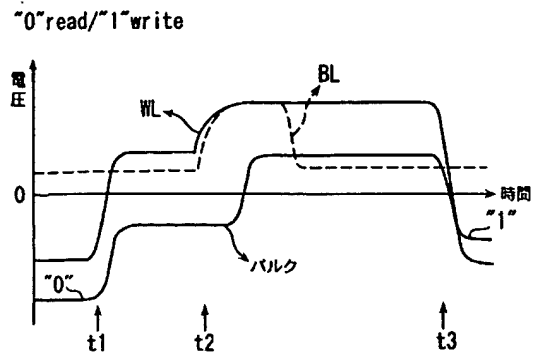


【図 10】

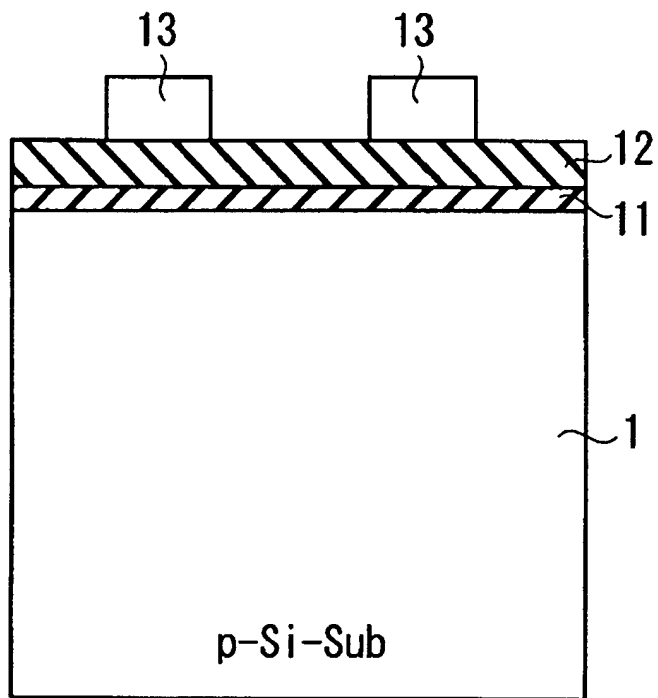
“1”read/“0”write



【図 1 1】

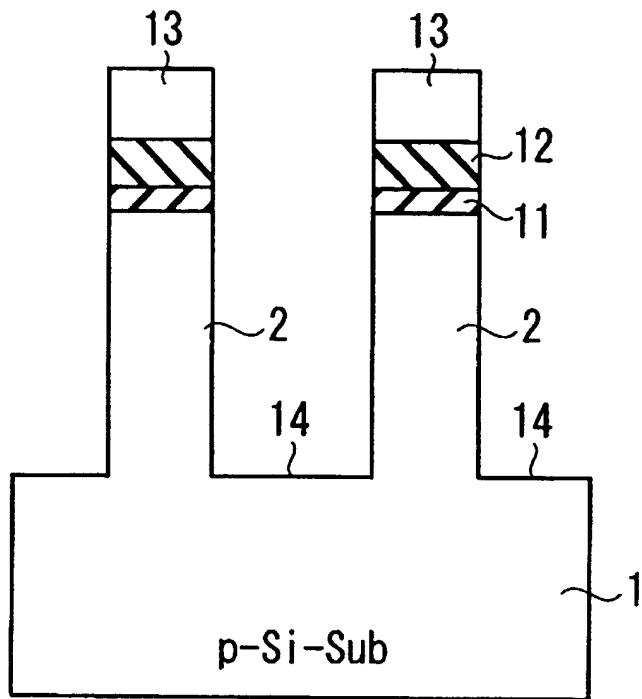


【図 1 2】

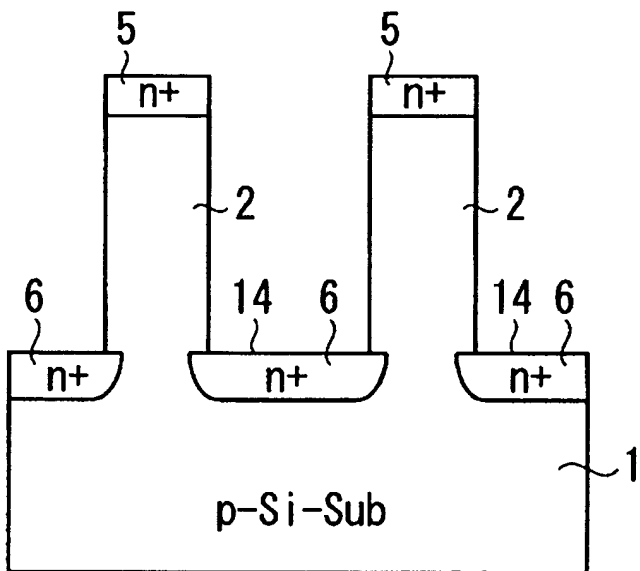




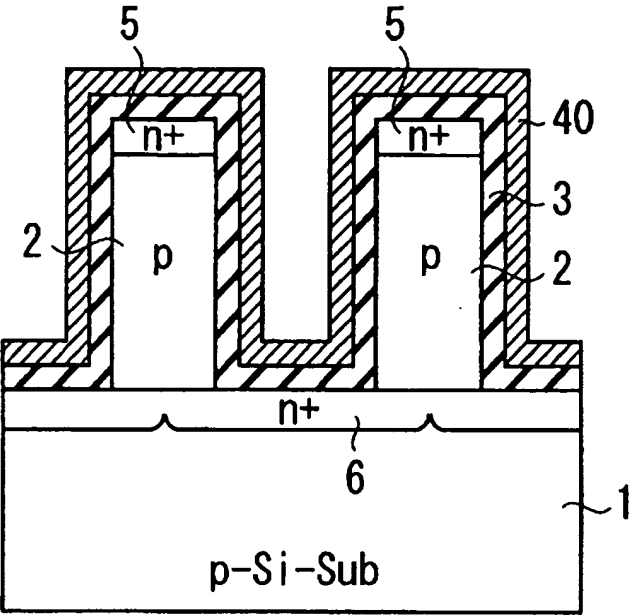
【図 1 3】



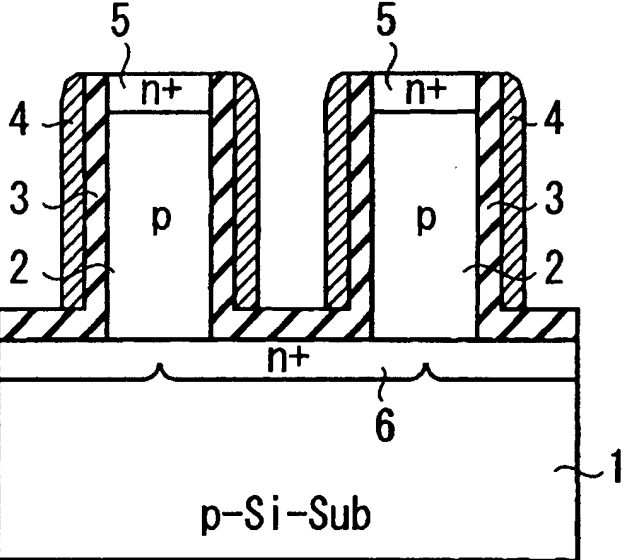
【図 1 4】



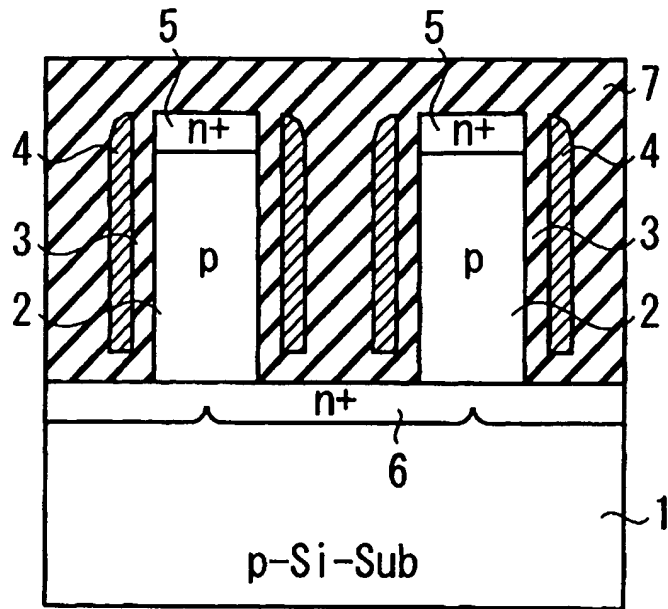
【図 15】



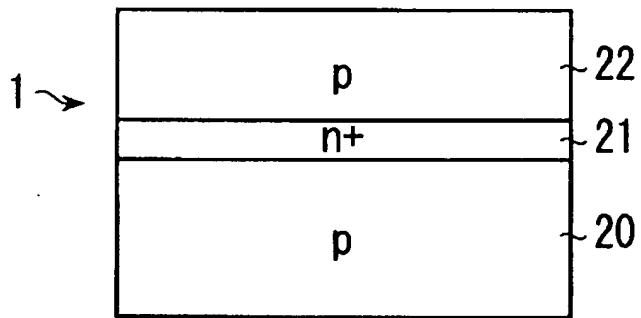
【図 16】



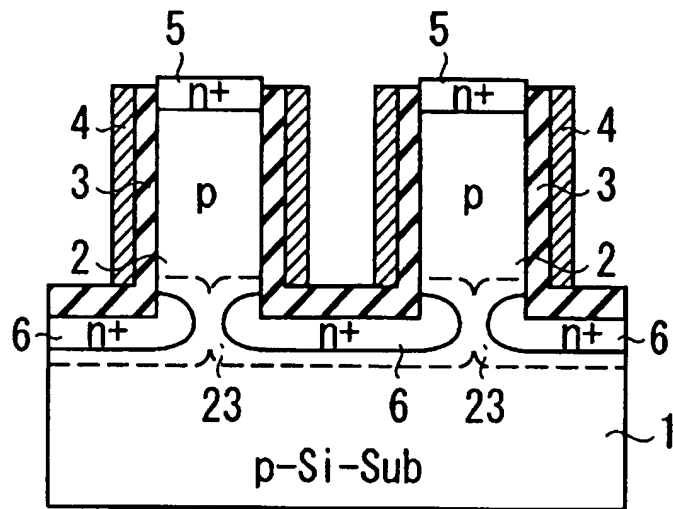
【図 17】



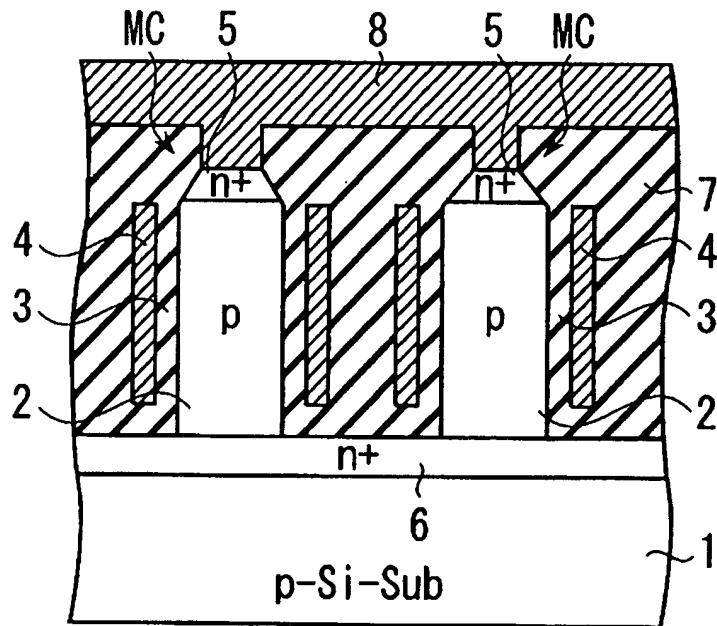
【図 18】



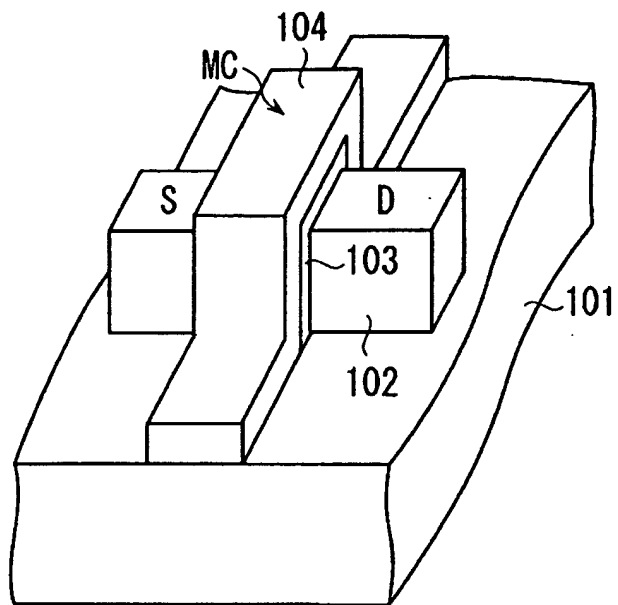
【圖 19】



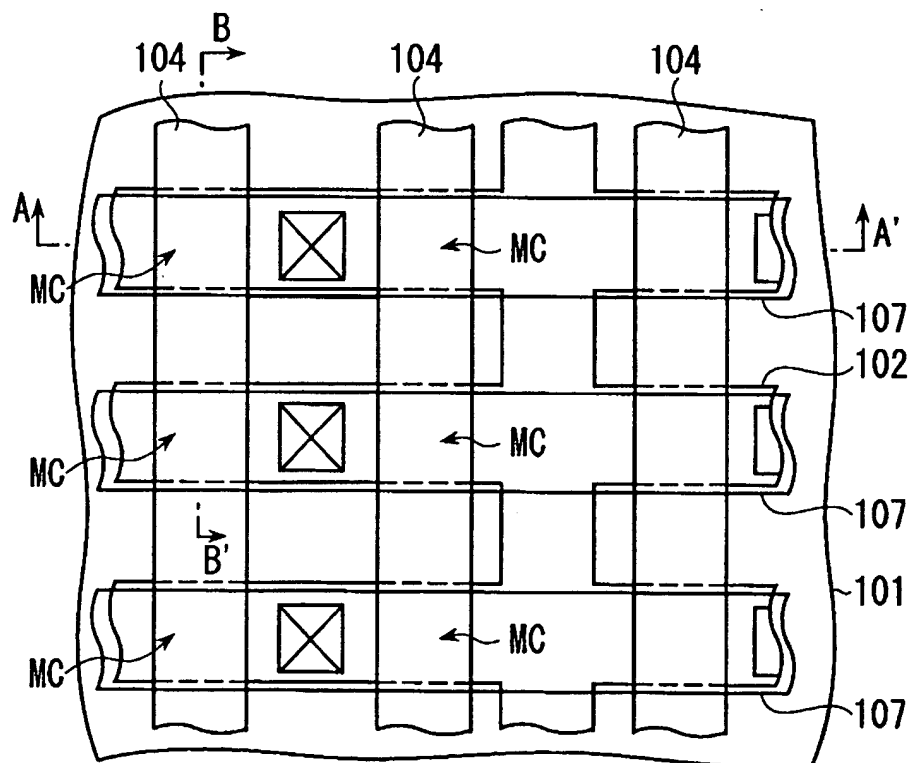
【圖 20】



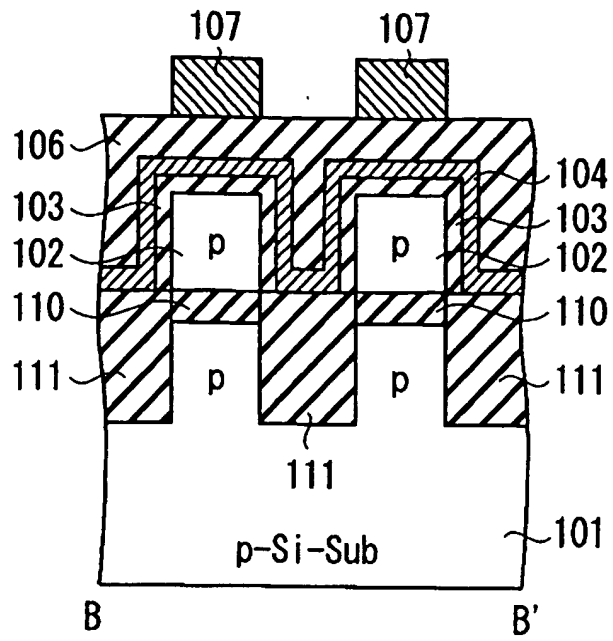
【図 21】



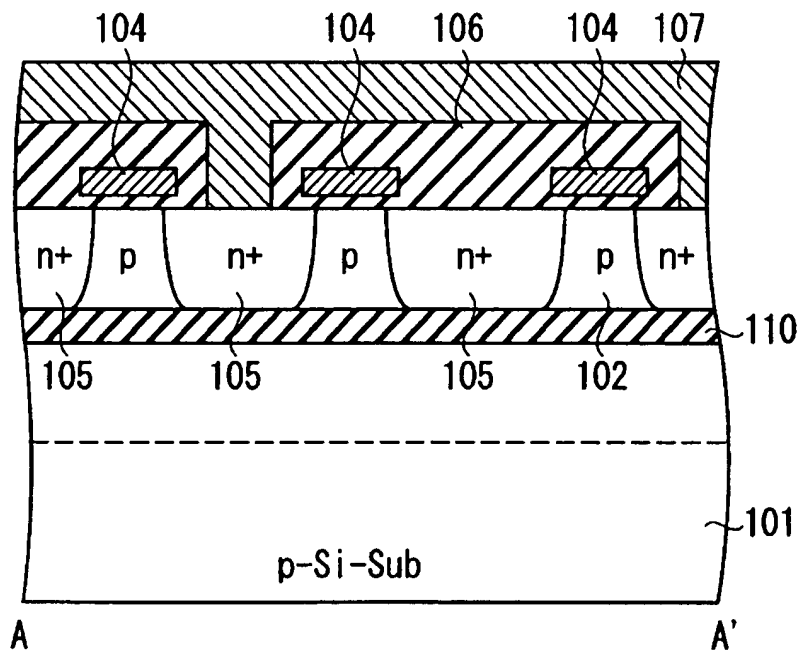
【図 22】



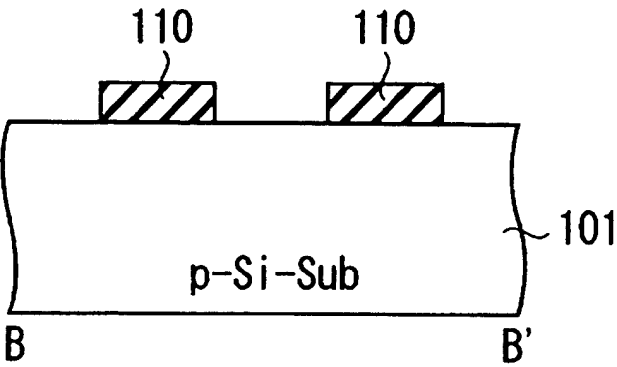
【図 2 3】



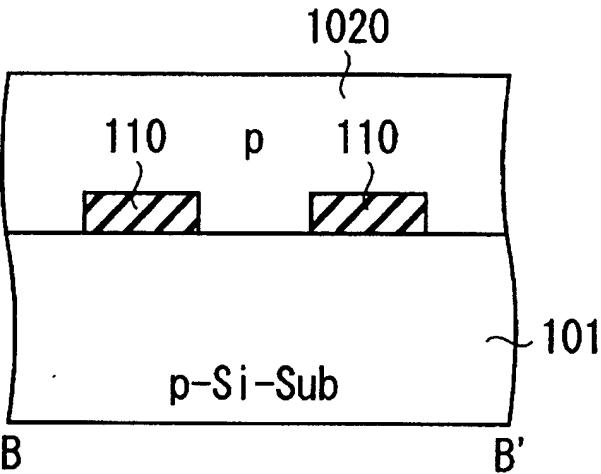
【図 2 4】



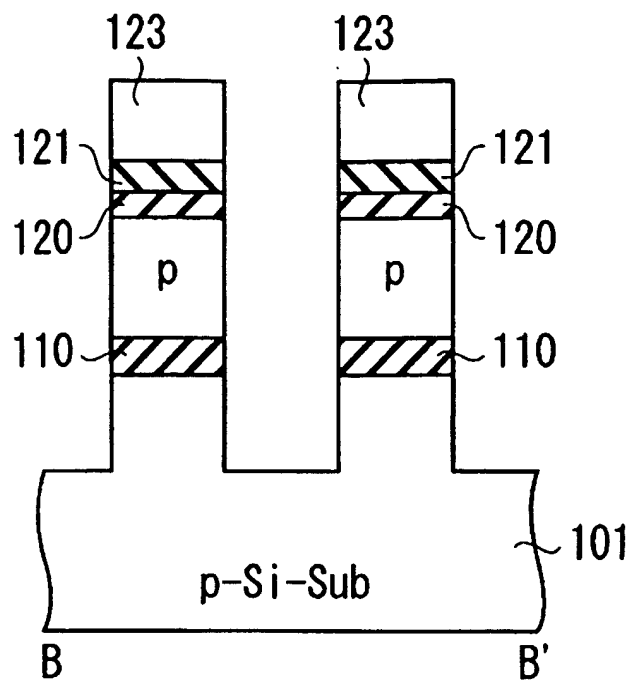
【図 2 5】



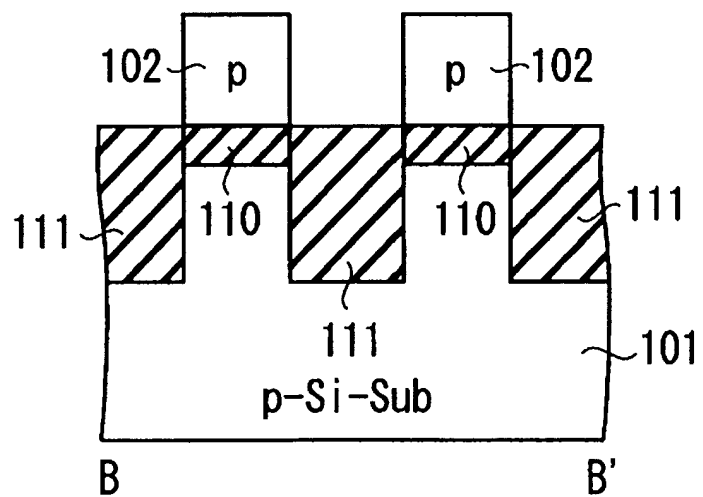
【図 2 6】



【図 27】



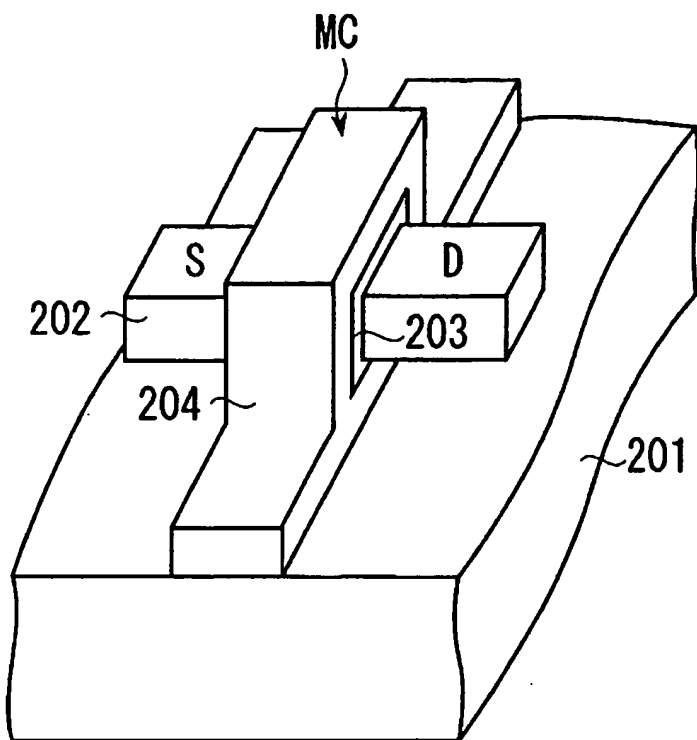
【図 28】



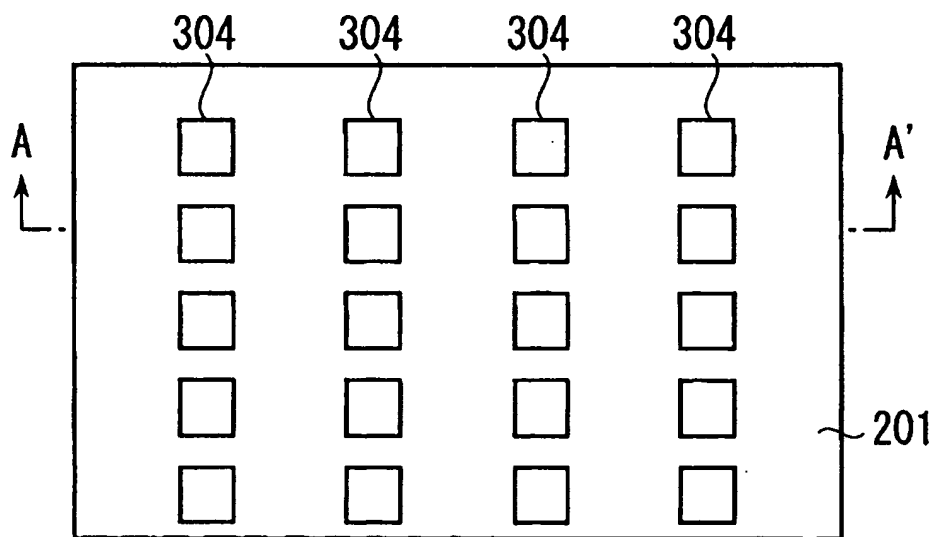


[illegible]

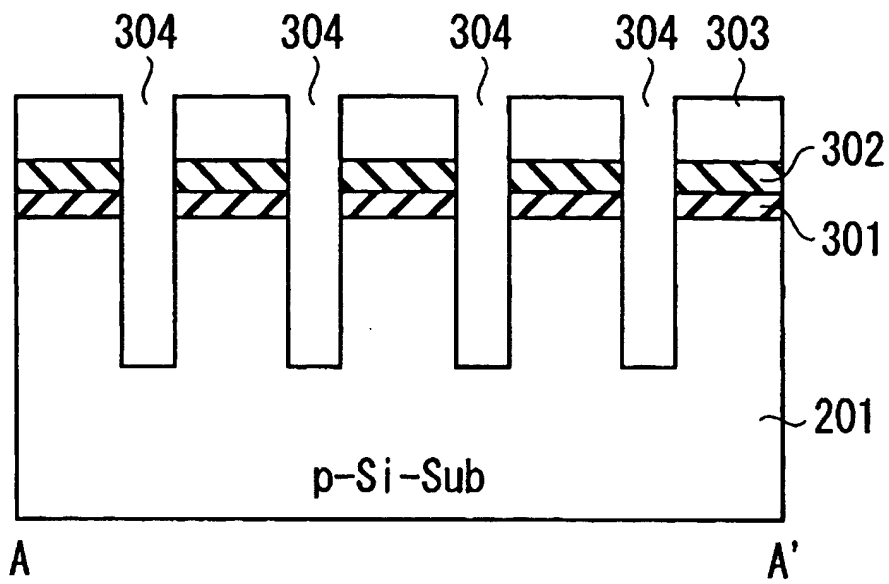
【図 3 1】



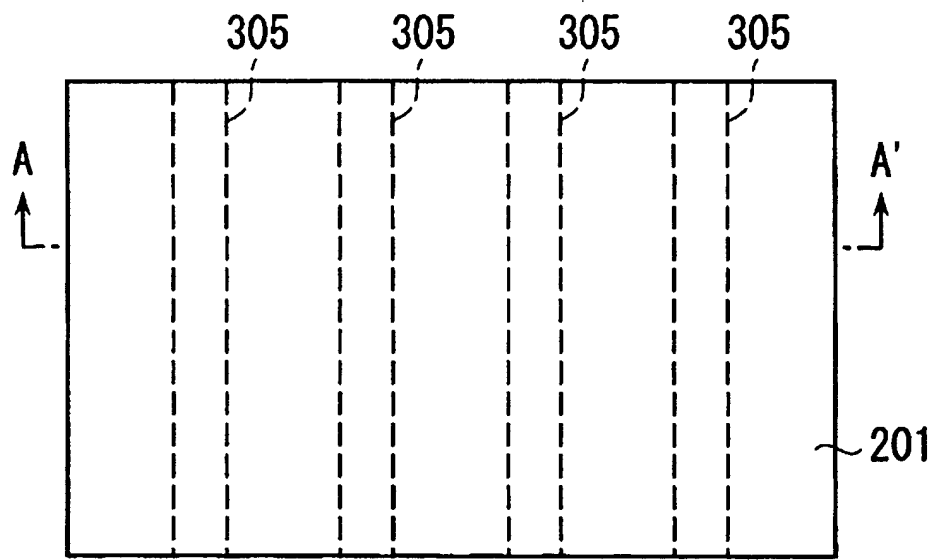
【図 3 2 A】



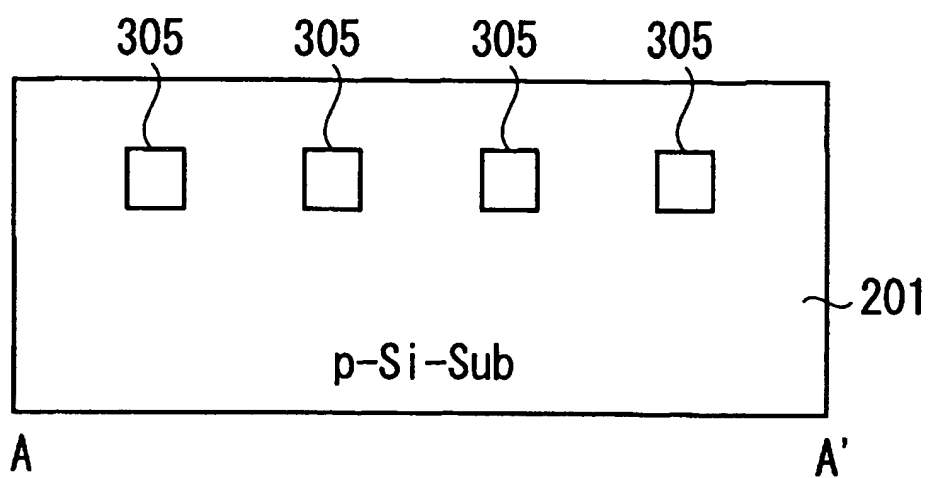
【図 3 2 B】



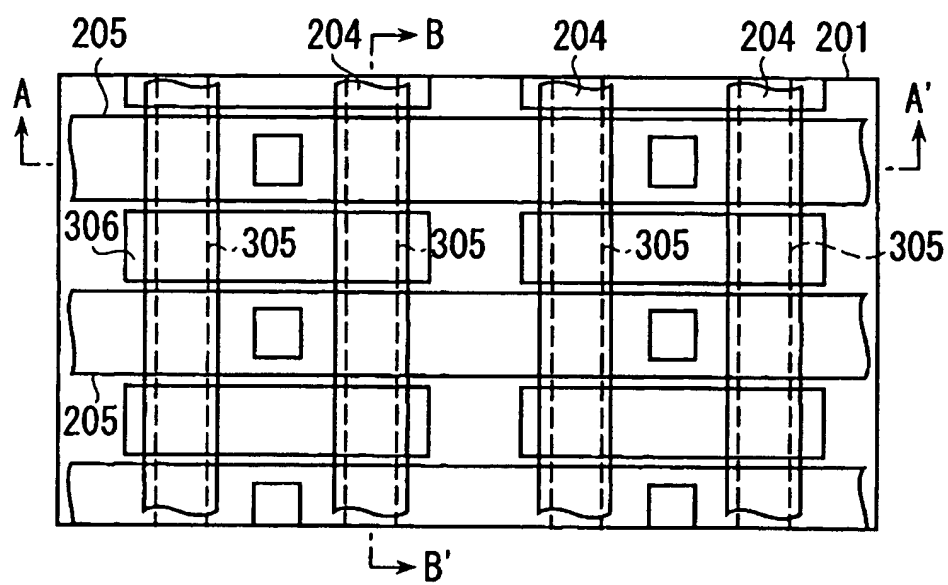
【図 3 3 A】



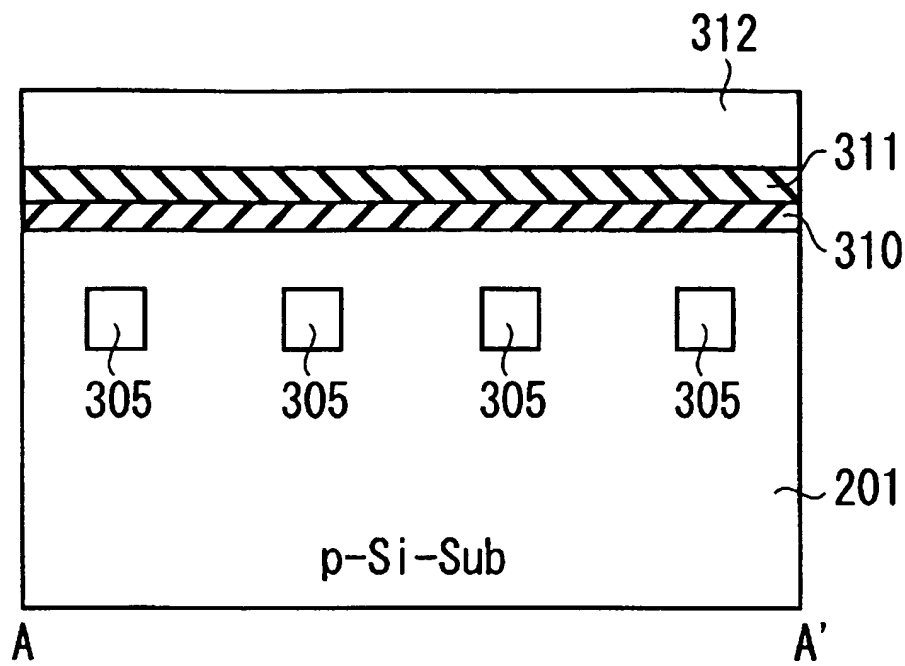
【図 3 3 B】



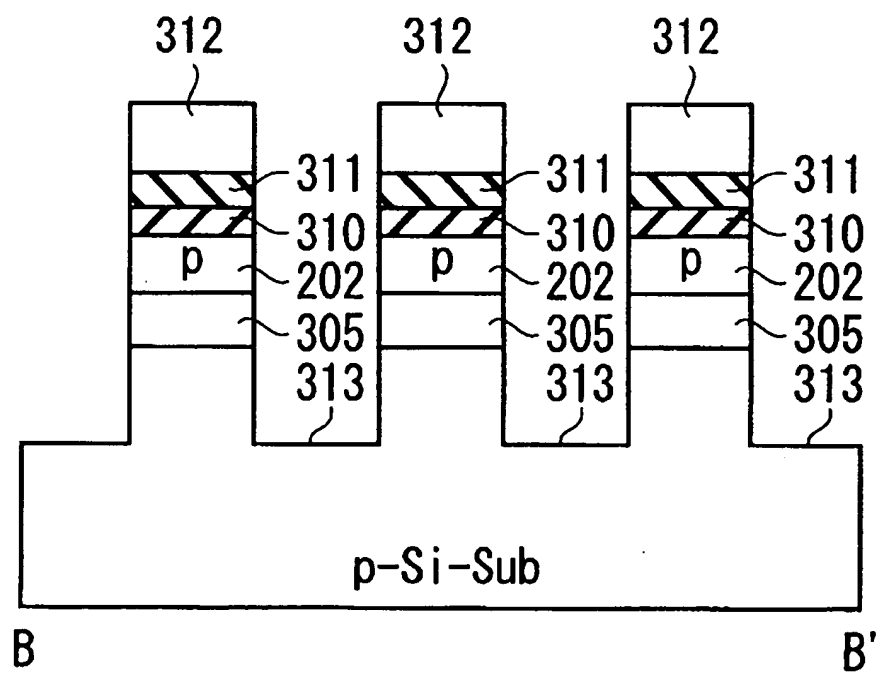
【図 3 4】



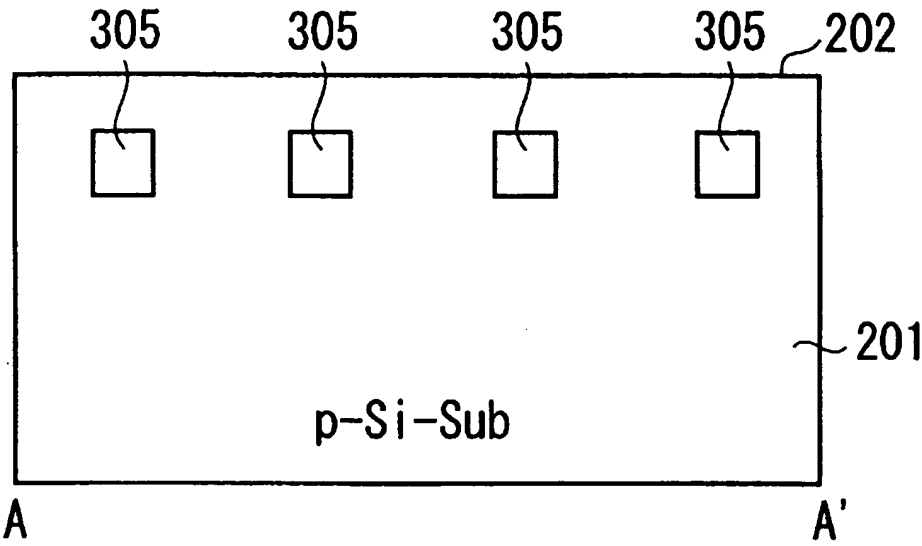
【図 3 5 A】



【図 3 5 B】



【図 3 6 A】



【図 3 6 B】

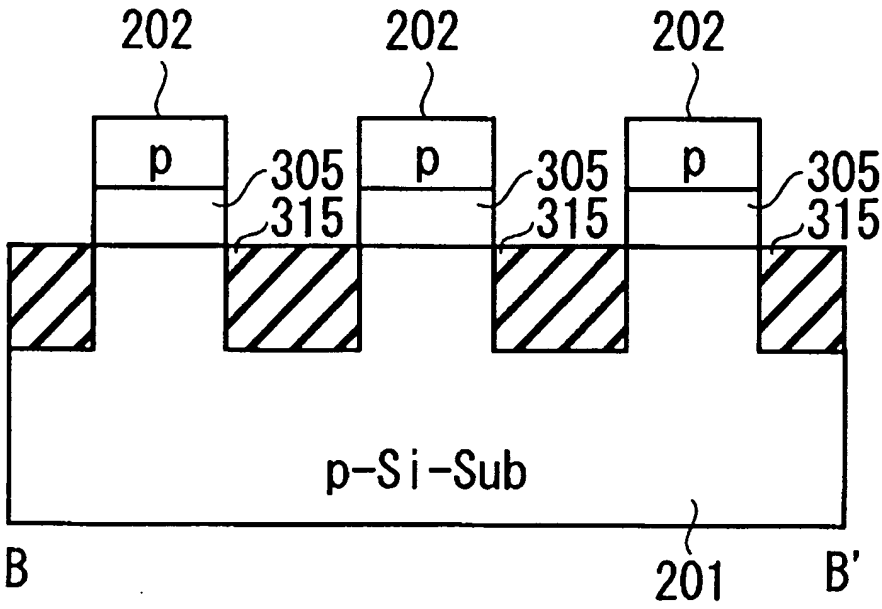
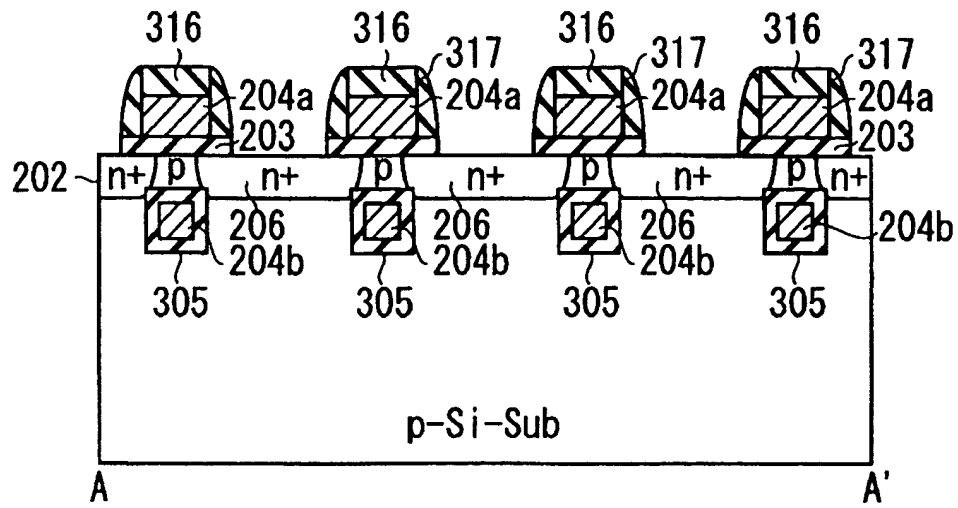
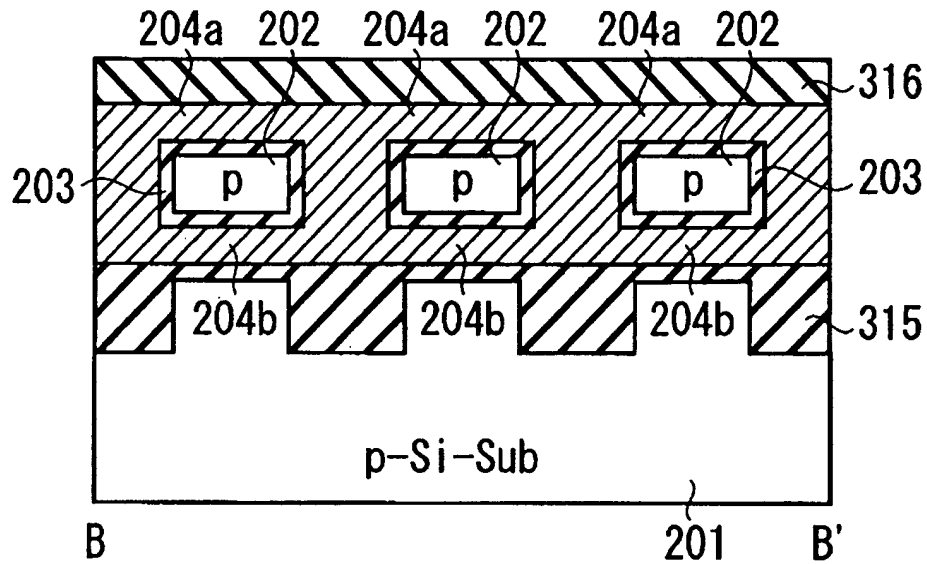


Fig. 1 is a cross-sectional view of a semiconductor device. The device is built on a  $p\text{-Si-Sub}$  (p-type silicon substrate) 202. A series of gate structures are formed on the surface. Each gate structure consists of a gate oxide layer 203, a gate electrode 204a, and a gate spacer 204b. The gate electrodes 204a are connected to a common gate terminal 316. The source and drain regions are formed in the  $p\text{-Si-Sub}$  202, labeled as 305. The device is shown in a cross-section along line A-A'.

【図 38 A】

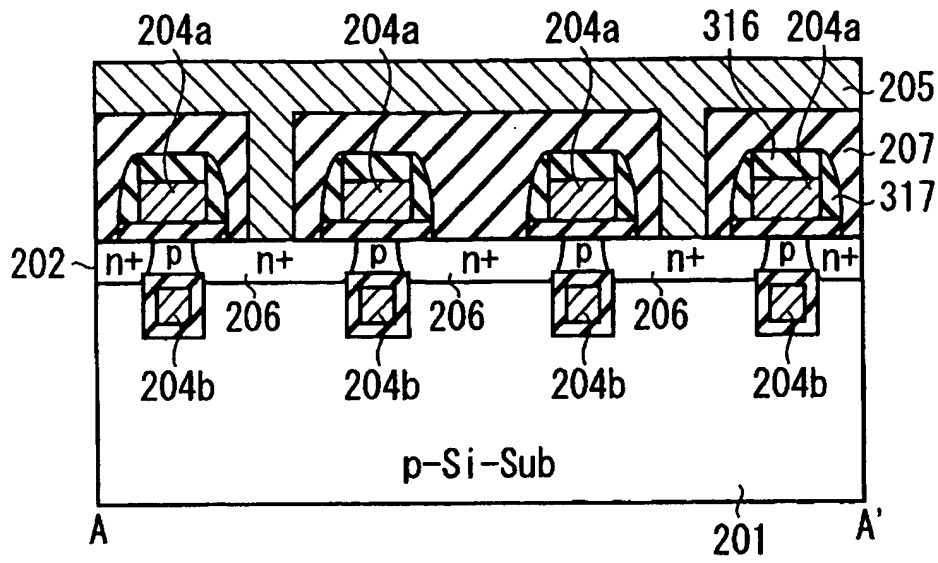


【図 38 B】

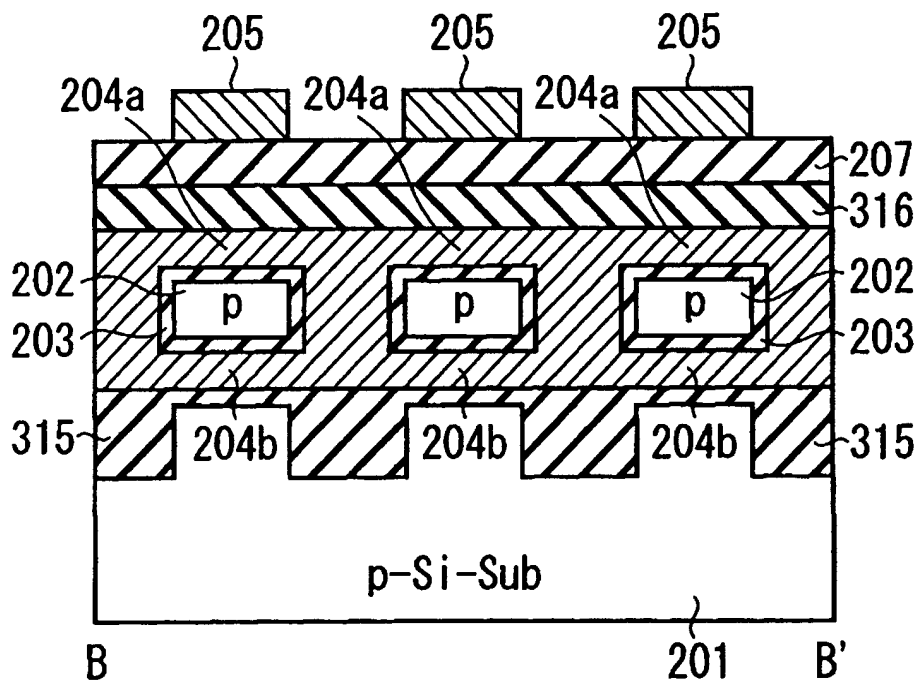




【図 3 9 A】



【図 3 9 B】



【書類名】 要約書

【要約】

【課題】 小さいセル面積で且つ少ない信号線で二値データのダイナミック記憶を可能とした半導体メモリ装置を提供する。

【解決手段】 1ビットのメモリセルMCが他から電氣的に分離されたフローティングのバルク領域を持つ一つのトランジスタにより構成される。トランジスタは、柱状半導体層2と、この柱状半導体層2を取り囲むようにゲート絶縁膜3を介して形成されたゲート電極4と、柱状半導体層2の上端部及び下端部に形成されたドレイン拡散層5及びソース拡散層6とを有する。トランジスタのゲート電極4はワード線9に、ドレイン拡散層5はビット線8に、ソース拡散層6は固定電位線にそれぞれ接続される。トランジスタは、柱状半導体層2に多数キャリアが注入された第1のしきい値電圧を有する第1データ状態と、柱状半導体層2の多数キャリアがドレイン拡散層5に放出された第2のしきい値電圧を有する第2データ状態とをダイナミックに記憶する。

【選択図】 図2

## 出願人履歴

0 0 0 0 0 3 0 7 8

19900822

新規登録

5 9 9 1 3 7 0 1 3

神奈川県川崎市幸区堀川町7番地

株式会社東芝

0 0 0 0 0 3 0 7 8

20010702

住所変更

5 9 9 1 3 7 0 1 3

東京都港区芝浦一丁目1番1号

株式会社東芝

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**